

半導体パッケージング向け先端基板技術の動向

Trends in Advanced Substrate Technologies for Semiconductor Packaging

松木隆一¹, 中澤信司¹, 大井淳¹, 片桐規貴¹, 荒木康¹

Shinko Electric Industries Co., Ltd.¹

E-mail: matsu@shinko.co.jp

1. まえがき

半導体はデジタル社会を支え発展させるための基盤である。今後、すべての産業においてデジタル化の流れは不可避であり、大量のデータ処理能力が必要となる^[1]。しかしながら、半導体の微細化の速度は 22nm 付近から鈍化し^[2]、MPU の動作周波数による高速化も 2-3GHz で頭打ちとなっている^[3]。その後はマルチコア化による高速化が進んでいるが、チップの大型化による歩留まりの低下という弊害が生じつつある^[4]。このような流れの中で機能分割された半導体をパッケージ上に再統合する Chiplet 技術が注目されている。本稿では Chiplet 化に向けた半導体パッケージ基板およびインターポーザ基板の技術開発動向について述べる。

2. 半導体パッケージの技術動向

コンピュータの高速化は MPU 性能だけで決定されない。特に HPC においてはメモリバンド幅などの制約によって MPU の処理能力を生かし切れていない状況がある。一般にデータバンド幅 BW は式(1)によって表現される。

$$BW = b \times f \times N \quad (1)$$

ここで b は 1 周期で担うビット数、 f は信号周波数、 N は配線の本数である。パッケージに課せられた課題は周波数 f の増加に対応すること、配線数 N を増やすことである。

一方、Chiplet 化による基板の大型化は配線長を増大させ、信号周波数 f の増大と相まってシグナルインテグリティの悪化が懸念される。配線の低粗度化や低誘電損失材料の開発が行われているが、配線と樹脂の密着性の確保が重要である。また、ここでは詳述しないがパワーインテグリティへの期待も増加している。

HBM は MPU へのメモリの近接と微細配線による信号線数 N の増加によりデータバンド幅 BW の確保および 1 ビットあたりの伝送エネルギーの低

減を実現している^[5]。HBM に対しては有機インターポーザ i-THOP[®]の開発が行われている。i-THOP[®] は $L/S=2/2\mu m$ を実現し、DLL[®]基板との組み合わせで 2.3D の Chiplet 構造を実現する技術である。パッケージ基板への実装性に優れ、大型化が容易であるという特徴を持つ。i-THOP[®]の微細配線では隣接信号とのクロストークが問題となるが、アイダイアグラム解析の結果、コプレナー配線構造により HBM2 規格を満たす結果が得られている。

シグナルインテグリティと 1 ビット当たりの伝送エネルギー削減の課題はシリアル伝送においてより顕著である。ルーター・スイッチにおける数十 GHz 以上の伝送を見据えた場合、導体抵抗損による信号品質の劣化が示唆されており、これに向けた光電融合パッケージの開発にも着手している。

3. まとめ

Chiplet 化による半導体パッケージの微細配線化および大型基板化を信号伝送特性と両立させるための基板技術や有機インターポーザの技術開発を紹介するとともに将来技術である光電融合パッケージにも言及した。

4. 参考文献

- [1] 経済産業省, 半導体戦略, 2021年6月
- [2] 西田秀行, Chiplet と 3D-IC の現状と課題, 第 39 回電子デバイス実装研究会
- [3] CPU DB, Stanford VLSI Group, <http://cpudb.stanford.edu/>
- [4] Greg Yeric, arm community, “Three Dimensions in 3DIC - Part I”, April 2, 2018, <https://community.arm.com/>
- [5] Joonyoung Kim and Kevin Tran, HBM: Memory Solution for Bandwidth-Hungry Processors, Hot Chips: A Symposium on High Performance Chips, HC26 (2014)