

Ti バリアメタルを適用した 3 次元フラッシュメモリ向け高信頼性 Cu デュアルダマシン配線の研究 Study of Highly Reliable Cu Dual-Damascene Interconnects using Ti Barrier for 3D Flash Memory.

キオクシア株式会社 ○和田 純弥、中嶋 章、相澤 圭樹、北村 政幸、田中 亮、藤井 光太郎、
加藤 久詞、田上 政由、関根 克行、大内 和也

Kioxia Corporation, ○Junya Wada, Akira Nakajima, Yoshiki Aizawa, Masayuki Kitamura,
Ryo Tanaka, Kotaro Fujii, Hisashi Kato, Masayoshi Tagami, Katsuyuki Sekine and Kazuya Ohuchi
E-mail: junya1.wada@kioxia.com

1. はじめに

IoT、AI、5G 等のデジタル技術の普及により、生成データ量が今後爆発的に増加していくため、データストレージである 3 次元フラッシュメモリに対しては、大容量化、高速化、低ビットコスト化の要求がますます強くなってきている。これらの要求を実現していくためには、3 次元フラッシュメモリの配線の微細化、低抵抗化、高信頼性化、低プロセスコスト化が必要であり、従来の W 配線に代わり Cu 配線の導入が必要である。本発表では、微細 W 配線上に Cu デュアルダマシン(DD)配線を形成する際に、Cu のバリアメタル(BM)として一般的に用いられる Ta に対して、コストと信頼性に優れる Ti を適用するための課題抽出と解決策の提案を行った結果を報告する。

2. 実験と結果

W 配線上と Cu 配線上に Ti BM を適用した Cu DD 配線を形成し、ビア抵抗を比較した。その結果、図 1 に示すように Cu 配線上に対して W 配線上ではビア抵抗上昇が確認された。ビア抵抗上昇の要因特定のため TEM/EDS 解析を行った結果、図 2 に示すように、W 配線上では Cu 配線上と比較してビア底部の Ti BM が酸化されている様子が確認された。W 配線上 Cu DD 構造では配線間耐圧要求から、ビア底部に SiCN 等のストップ膜無しで DD 加工を実施しているため、W 配線表面はストップ膜が存在する Cu 配線表面よりも RIE 加工雰囲気さらされるため、酸化されやすいことが推察される。この W 配線表面の酸化に起因する Ti BM の酸化がビア抵抗上昇の要因と考え、W 表面酸化膜生成の抑制及び除去を目的として、RIE 後洗浄、並びに Ti BM 成膜のプロセス改善検討を行った。その結果、図 3 に示すようにビア抵抗の低減を確認した。

3. まとめ

低コスト、高性能、高信頼性化に向け、W 配線上 Cu DD 配線に Ti BM の適用検討を実施した結果、W 配線表面の酸化影響によりビア抵抗上昇が発生することを確認した。下層 W 配線表面の酸化膜除去プロセスを検討した結果、ビア抵抗低減を確認し、不良メカニズムの妥当性と対策プロセスの有効性を示し、Ti BM の適用に対して有効な知見を得た。

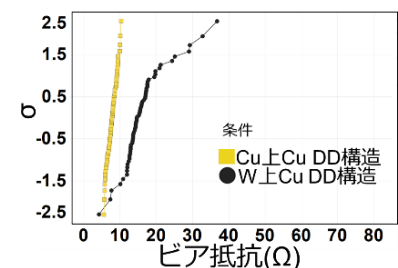


図 1 Cu、W 配線上 Cu DD 配線のビア抵抗比較

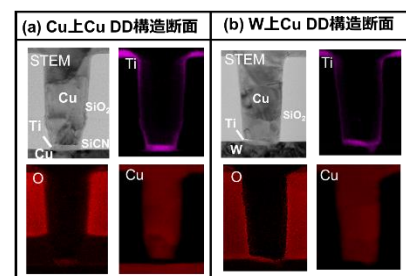


図 2 Cu、W 配線上 Cu DD ビア部 TEM/EDS 像

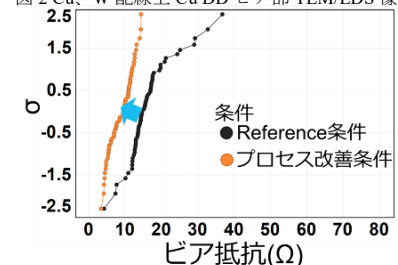


図 3 プロセス改善前後のビア抵抗比較