

ZrS₂ symmetrical-ambipolar FETs with near-midgap TiN film for both top-gate electrode and Schottky-barrier contact

東工大、[○]濱田昌也、松浦賢太郎、濱田拓也、宗田伊理也、角嶋邦之、筒井一生、若林整

Tokyo Institute of Technology, [○]M. Hamada, K. Matsuura, T. Hamada, I. Muneta, K. Kakushima, K. Tsutsui

and H. Wakabayashi E-mail: semicon9301mhamada@gmail.com

【背景】先端ロジックでは既に 1nm ノード以降が展望され、二次元半導体のトランジスタチャンネル応用が有望視されている。層状 ZrS₂ 膜は二次元半導体遷移金属ダイカルコゲナイドの一つであり、シリコンに近い適度なバンドギャップ（単層 1.08 eV [1]）と高い移動度（1,200 cm²V⁻¹s⁻¹ [2]）を持つことから次世代トランジスタへの応用が期待される。層状 ZrS₂ 膜の産業応用には大面積かつ均一に成膜する手法が必要であるが、機械的剥離法や chemical vapor deposition (CVD) などではそのような成膜は報告されていない。先行研究において PVD 法の一つであるスパッタリング法と硫黄雰囲気中でのアニール処理の組み合わせによって cm オーダーの SiO₂ 基板全面に均一な膜厚とホール効果電子移動度 1,250 cm²V⁻¹s⁻¹ を持った ZrS₂ 膜を成膜することに成功している [3]。今回この大面積 PVD ZrS₂ 膜をチャンネルに使用したトランジスタについて調査した [4]。

【方法】 Fig. 1 に ZrS₂ FET の構造を示す。SiO₂(400nm)/n-Si 基板上にウェットプロセスで TiN ボトム電極を形成後、PVD 法で 5-nm ZrS₂ 膜を堆積して 700°C の硫黄雰囲気アニールを実施し、続けて ALD 法でゲート絶縁膜の Al₂O₃ 膜を堆積した。チャンネルのアクティブ領域を RIE と SiN リフトオフプロセスで限定し、TiN トップゲート電極を形成後、RIE とリフトオフによって TiN via を作製した。最後に forming gas (F.G.) annealing (H₂: 3%, N₂: 97%) を 300°C で 10min 実施した。

【結果】 Fig. 2 に ZrS₂ FET の I_d-V_{gs} 特性を示す。F.G. anneal 後の I_d-V_g は V_g 0.4V 付近を境に両側で電流が増加する両極性動作を示している。この動作は Schottky-barrier FET model で説明され、コンタクト領域の電子と正孔それぞれのショットキー障壁がゲート電圧によって制御され、正のゲート電圧では電子によって、負のゲート電圧では正孔によって電流が生じていると考えられる。

【まとめ】 PVD 層状 ZrS₂ 膜を用いたトランジスタによってはじめて電子と正孔それぞれによる伝導を実証できた。半導体の微細化は今後増々高難度になるが、プロセスと設計両方の技術の協調によって今後も進展し、社会の発展の原動力になることを確信している。

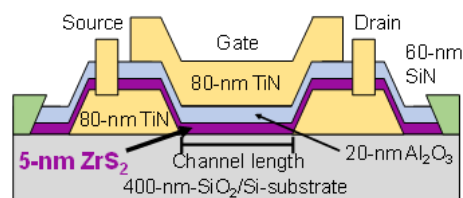


Fig. 1. Cross-sectional schematic illustration of ZrS₂ FET [4].

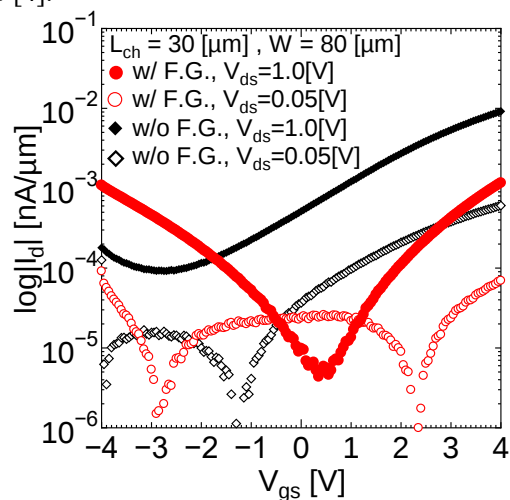


Fig 2. I_d - V_{gs} characteristics of ZrS₂ MISFET obtained with and without forming gas (H₂: 3%, N₂: 97%) annealing [4].

【謝辞】本研究の一部は JST CREST (JPMJCR16F4)、及び JST COI (JPMJCE1309) の助成を受けたものである。

【参考文献】

- [1] Y. Guo, *et al.*, *Appl. Phys. Lett.*, 108, 233104 (2016).
- [2] W. Zhang, *et al.*, *Nano Res.*, 7(12), 1731 (2014).
- [3] M. Hamada, *et al.*, *IEEE JEDS*, 7, 1258 (2019).
- [4] M. Hamada, *et al.*, *Jpn. J. Appl. Phys.*, 60, SBBH-05 (2021).