

直接貼付 InP/Si 基板のボイドによる導波損失の数値計算(II) Numerical simulation of propagation loss by void in directly bonded InP/Si substrate (II)

上智大学 理工学部, 趙亮, 阿形幸二, 伊藤慎吾, 矢田涼介, 下村和彦

Sophia University, Liang Zhao, Koji Agata, Shingo Ito, Ryosuke Yada, Kazuhiko Shimomura

E-mail: kshimom@sophia.ac.jp

はじめに

大規模集積回路の高速大容量通信を低消費電力で実現すべく、Si 基板上への InP 系光デバイスの集積が盛んに研究されている。これに対し、我々は、薄膜の InP と Si 基板を直接貼付法によって貼り合せ、この InP/Si 基板上に InP 系結晶の成長をすることで光デバイスの集積および作製を行う手法を提案してきた[1]。

今回、InP/Si 基板作製で発生する表面欠陥による導波損失を COMSOL でシミュレーションし、光損失係数を算出し、さらに、量子井戸レーザの閾値電流密度の計算を行った。

シミュレーションモデル

InP 薄膜と Si 基板を親水性直接貼付け法によって作製するが、この際貼付け界面には凸状の欠陥 (ボイド) が生成される。Fig.1 はこのボイド形状のレーザ顕微鏡図である。直径 $10\sim 50\ \mu\text{m}$ 、高さ $0.1\sim 0.7\ \mu\text{m}$ の円弧形状が平均密度 $5.5\times 10^3\text{cm}^2$ 程度存在する。 $70\ \mu\text{m}\times 250\ \mu\text{m}$ のデバイスの場合、このボイドは約 1 個存在することになる。今回、導波路内にボイドが 1 個存在した場合の導波損失を COMSOL を用いて数値計算を行った。Fig.2 は計算に用いた 3 次元導波路モデルである。ボイドは円弧形状ボイドとし、その直径 d と角度 θ を変化してシミュレーションを実行した。角度と直径によりボイド高さはそれぞれ異なっている。

シミュレーション結果

ボイドの直径と角度を変化し、入力光強度と出力光強度の関係式 $P_{\text{out}}=P_{\text{in}}\exp(-\alpha L)$ より光損失係数 α を求めた。Fig.3 は直径 $10\ \mu\text{m}$ と $30\ \mu\text{m}$ のボイドに対して、角度 θ と光損失係数 α を示したグラフである。さらにこの光損失係数を含めた量子井戸レーザの閾値電流密度を計算した。角度 θ が大きくなるにつれて光損失係数と閾値電流密度は増大することが分かった。

謝辞

本研究は、科学研究費助成事業 JP21K04199、ツルギフォトニクス財団の援助を受けて行われた。

参考文献

[1] K. Matsumoto, J. Kishikawa, T. Nishiyama, Y. Onuki, and K. Shimomura, Jpn. J. Appl. Phys., vol.55, no.11, p.112201, 2016.

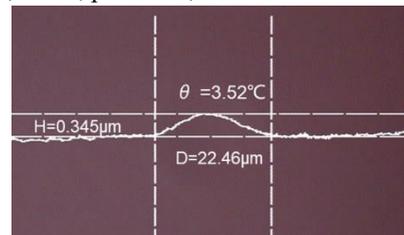


Fig.1 Dimensions of the void observed by optical microscope.

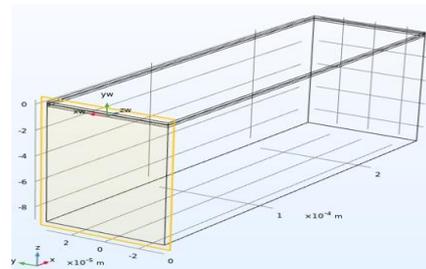


Fig.2 COMSOL waveguide model

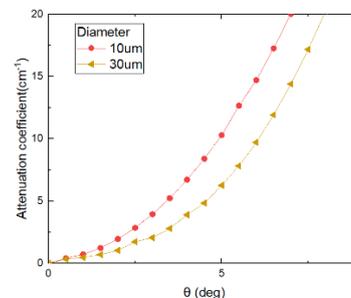


Fig.3 Relationship between θ and Attenuation coefficient α