

Si ナノシート電界効果トランジスタにおける 電子速度オーバーシュートの影響とゲート長との関係

Relationship between electron velocity overshoot effects and gate length in Si nanosheet FETs

○服部 淳一, 福田 浩一, 池上 努, 林 喜宏 (産総研)

○Junichi Hattori, Koichi Fukuda, Tsutomu Ikegami, and Yoshihiro Hayashi (AIST)

E-mail: j.hattori@aist.go.jp

背景 集積回路の高性能, 高機能化は, 主に, スイッチング素子であるトランジスタを微細にし, 数多く搭載することで実現されてきた. ナノシートをチャンネルに採用してその表面を覆うようにゲートを設けたゲート・オール・アラウンド形ナノシート電界効果トランジスタ(NS GAAFET)は, 更なる微細化を期待され, 近年, 活発に研究開発が進められている [1]. これを支援し, 促進するため, NS GAAFET のシミュレーションをより確かなものにしていく必要がある. ゲート長の短いトランジスタでは, キャリアはチャンネル走行中散乱されず, 強い電界によって飽和速度以上に加速されうる [2]. これは, 速度オーバーシュート (VO) として知られる. その数理表現はキャリアのエネルギーを必要とするため, それを無視するドリフト拡散 (DD) モデルでは VO は扱えず, エネルギー保存式を加えたエネルギー・バランス (EB) モデル [3] で初めて扱うことが可能になる. 本研究では, それぞれのモデルで NS GAAFET の挙動をシミュレーションして結果を比べることで, VO の影響を調べる. 特に, ゲート長との関係を調べ, VO を考慮すべき範囲について検討する.

方法 デバイス・シミュレータ Impulse TCAD [4] に EB モデルを実装し, Fig. 1 に示す n 型 Si NS GAAFET の静的挙動をシミュレーションした. DD モデルについても同様のことを行い, 両者の結果の違いから VO の影響を評価した.

結果 ゲート長 20 nm の NS GAAFET の伝達特性を Fig. 2 に示す. 図において, EB モデルの方が DD モデルより電流が多くなっている. これは, Fig. 3 に示すように, EB モデルの方がドレイン近傍において電子速度がより高くなるからである. その値は飽和速度の 10^7 cm/s を大きく超えており, VO を再現できていると考えられる. ゲート長が短くなると, このような領域がチャンネルに占める割合が大きくなるため, Fig. 4 に示すように, VO による電流増加率も大きくなる.

結論 微細な NS GAAFET では VO の影響が大きく, シミュレーションの正確度を高めるには EB モデルの導入が有効である. 詳細な検討結果については講演で報告する.

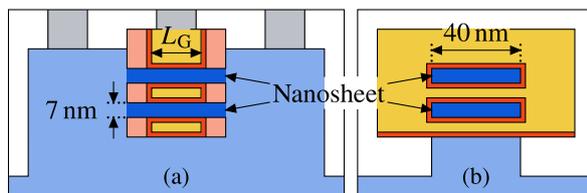


Fig. 1. Sectional views of Si nanosheet (NS) gate-all-around field-effect transistors (GAAFETs).

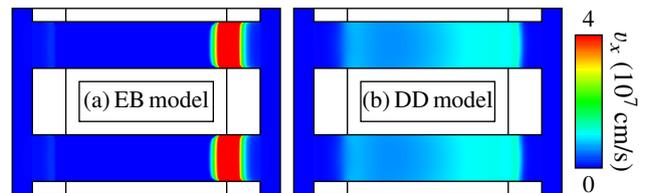


Fig. 3. Distributions of electron velocity along the L_G direction in the NS GAAFET at V_{DS} and V_{GS} of 0.65 V.

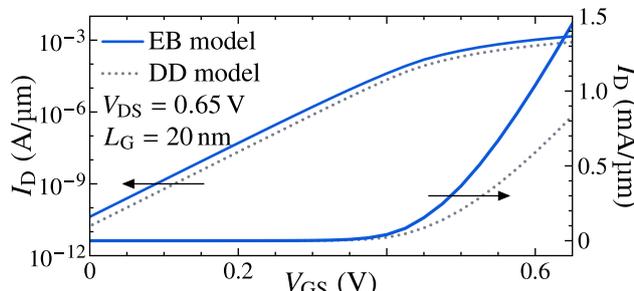


Fig. 2. Drain current I_D vs gate-to-source voltage V_{GS} characteristics of a NS GAAFET with a gate length L_G of 20 nm at a drain-to-source voltage V_{DS} of 0.65 V.

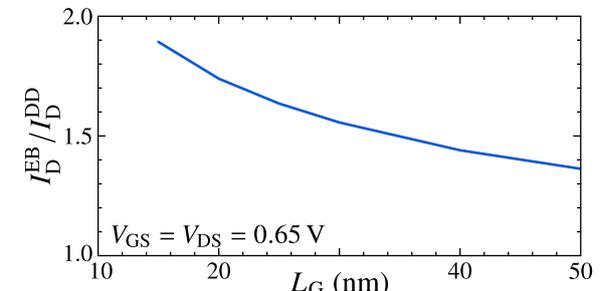


Fig. 4. Ratio of the I_D obtained from the energy balance (EB) model to that obtained from the drift-diffusion (DD) model plotted as a function of L_G .

謝辞 本成果は国立研究開発法人新エネルギー・産業技術総合開発機構 (NEDO) の助成事業 (JPNP20017) の結果得られたものです. **参考文献** [1] N. Loubet *et al.*, Proc. Symp. VLSI Technology, 2017, p. T230. [2] G. A. Sai-Halasz *et al.*, IEEE Electron Device Lett. **9**, 464 (1988). [3] W.-S. Choi *et al.*, IEEE Trans. Comput.-Aided Des. Integr. Circuits Syst. **13**, 899 (1994). [4] T. Ikegami *et al.*, J. Comput. Electron. **18**, 534 (2019).