

Steep SS“Dual-Gate 型 PN-Body Tied SOI-FET”の過渡特性

Transient characterization of Steep SS Device “Dual-Gate PN-Body Tied SOI-FET”

金沢工大, °(M1)米崎 晴貴, 井田 次郎, 森 貴之

Kanazawa Inst. of Tech, °Haruki Yonezaki, Jiro Ida, Takayuki Mori

E-mail: c6200787@st.kanazawa-it.ac.jp

はじめに：我々の研究室ではドレイン電圧 0.1 V という極低ドレイン電圧でも 1mV/dec 以下の急峻な SS を実現した”PN-Body Tied (PNBT) SOI-FET”を報告している.[1] しかし, PNBT SOI-FET の Turn-Off 特性に過渡的な微小ドレインリーク電流が存在していることが先行研究で確認されている。これは極低消費電力 LSI 用のデバイスには向いていない。そのため, PNBT SOI-FET で発生する過渡的な微小ドレインリーク電流の問題を解決するため, 研究室で“Dual-Gate (DG) 型 PNBT SOI-FET”を提案している.[2] 本稿では Lapis セミコンダクタ社の 200nm SOI プロセスで試作した DG 型 PNBT SOI-FET の過渡特性 (Turn-Off 特性) について, 初めて実測した結果の報告を行う。

実験結果：図 1 に SOI-FET, DG 型および PNBT の構造図を示す。各パラメータは $L_g = 200$ nm, $W_g = 1000$ nm, $L_b = 500$ nm, $W_{g2} = 1000$ nm (DG), $W_b = 320$ nm (DG), 1000 nm (PNBT)とした。図 2 に I_d - V_g 特性を示す。 I_d - V_g 特性の測定は Drain 電圧 $V_d = 0.1$ V, Gate 電圧 $V_g = -0.5 \sim 1.0$ V (step:10 mV), Body 電圧 $V_b = 1.0$ V (PNBT, DG 型), 2nd Gate 電圧 $V_{g2} = 0.8$ V (DG)で行った。図 3 に PNBT と DG 型の電圧印加条件を示す。Gate 電圧は電流値が $1e-6$ A を超えた時の電圧値を印加した。図 4 に WGF MU で測定した過渡特性を示す。結果より, DG 型はヒステリシスが PNBT より大きい。しかし, Turn-Off 特性で DG 型は PNBT より微小ドレインリーク電流が減少していることを確認した。

参考文献：[1]J. Ida et al., IEDM Tech. Dig., 2015, pp 624-627, [2]T. Mori et al., SISPAD2019, pp291-294

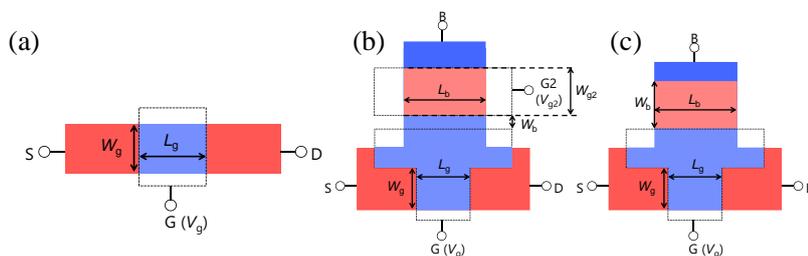


図 1 構造図 (a)SOI (b)DG 型 (c)PNBT

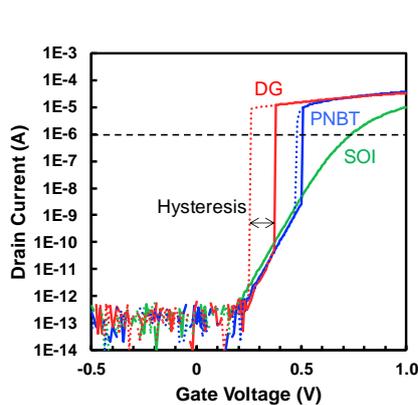


図 2 I_d - V_g 特性

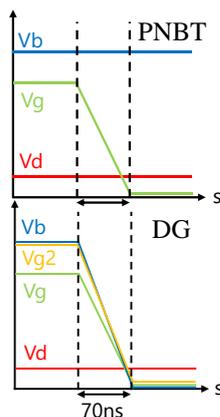


図 3 電圧印加条件

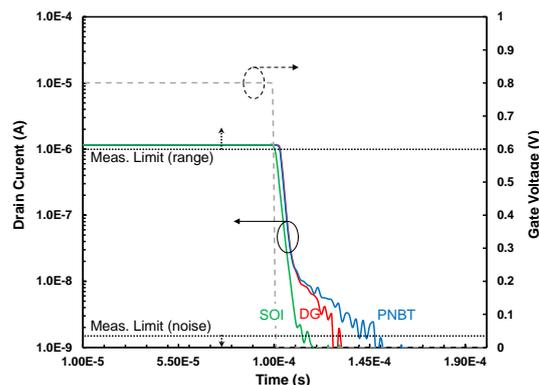


図 4 Turn-Off 特性