## 200 nm SOI MOSFET の極低温下における基板バイアス効果及び履歴現象 Back Bias and Hysteresis Effect of Cryogenic 200 nm SOI MOSFET

金沢工大<sup>1</sup>, 産総研<sup>2</sup>, <sup>O</sup>森 貴之<sup>1</sup>, 杉井 辰吉<sup>1</sup>, 李 龍聖<sup>1</sup>, 岡 博史<sup>2</sup>, 森 貴洋<sup>2</sup>, 井田 次郎<sup>1</sup>

Kanazawa Inst. of Tech.<sup>1</sup>, AIST<sup>2</sup>, °T. Mori<sup>1</sup>, T. Sugii<sup>1</sup>, R. Ri<sup>1</sup>, H. Oka<sup>2</sup>, T. Mori<sup>2</sup>, J. Ida<sup>1</sup>

E-mail: t\_mori@neptune.kanazawa-it.ac.jp

<u>はじめに</u>:量子コンピュータの量子ビット数を増やすためには配線数の増大及びそこからの熱流入が ボトルネックとなっており,解決のために Cryo-CMOS 技術の研究開発が行われている.その中で,SOI 技術は基板バイアス(V<sub>sub</sub>)によってしきい値電圧(V<sub>th</sub>)を制御することが可能なため,低消費電力 Cryo-CMOSの実現が期待できる.本稿では,ラピスセミコンダクタ社の200 nm SOI MOSFET を用いて 極低温下(3 K)における基板バイアス効果及び3 K 下でのみ起こる履歴現象を確認したので報告する.

実験方法及び結果: 実験にはゲート長 200 nm, ゲート幅 1  $\mu$ m, ゲート酸化膜厚 4.4 nm, Si 膜厚 40 nm, 埋め込み酸化膜厚 145 nm の SOI MOSFET を使用した. 図 1 に 300 K 及び 3 K における  $I_{d}$ - $V_{g}$ 特性の  $V_{sub}$  依存性を示す. 後述する履歴効果の影響を考慮し, 測定は正バイアス側と負バイアス側で別々に行っている. 3 Kでは $V_{sub}$ 印加時に 300 K では見られていないこぶ状の変化が発生していることが分かる. 図 2 は  $V_{h}$  及び  $V_{sub} = 0$  V を基準とした  $V_{h}$  のシフト量を示している. 3 K では 300 K と比較して,  $V_{sub} < 6$  V ではシフト量が小さく, その後は室温と同等のシフト量になることを観測した。これは先行研究とは異なる結果となっており[1], Si 膜厚の違いによって完全空乏/部分空乏化の違いがあり, 温度依存性が異なるため起こっているのではないかと考えている.

図3に $V_{sub}$ 印加時に発生した履歴効果を示す. Vsubを0~10Vまで印加してそれぞれで $I_{d}-V_{g}$ 特性の測定を行い,再度同じ測定を繰り返したところ,0~5Vでは測定1回目と2回目では特性が異なることが分かった.この現象は300Kにおける測定,3Kでも負バイアス側の測定では起こらなかった.原因としては,埋め込み酸化膜側の界面に誘起されたキャリアやトラップが残っていることが考えられる.

<u>謝辞</u>: 本講演で発表した研究は,国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO) の委託業務 (JPNP16007)の結果得られたものです.



参考文献: [1] F. Al Mamun et al., IEEE T-ED, vol. 69, no. 10, Oct. 2022.