

セル面積極小化に向けた 3D CFET SRAM の開発

Integration Design of 3D CFET SRAM for Extremely Reduced Cell Size

産総研¹, 台湾半導体研², 台湾成功大³, 台湾陽明交通大⁴ ○張文馨¹,
(D)余心仁^{2,3}, (D)洪子杰^{2,4}, 李耀仁^{2,4}, 趙天生², 王永和³, 前田辰郎¹
AIST¹, TSRI², NCKU³, NYCU⁴ ○W. H. Chang¹, (D)X. R. Yu^{2,3},

(D)T. C. Hong^{2,4}, Y. J. Lee^{2,4}, T. S. Chao⁴, Y. H. Wang³, and T. Maeda¹

E-mail: wh-chang@aist.go.jp

【背景】先端 CMOS 製造技術において、PPAC(Power efficiency, Performance, Area, Cost)を改善し続けていくためには、半導体の微細化だけではなく、新材料や新デバイス構造の積極的な導入が求められる。Beyond N2 世代 CMOS では、GAA 構造に変わり、nFET と pFET を上下に積層した Complementary FET(CFET)が大きく注目されている[1]。CFET 構造を実現する方法として、エピ成長[2]や転写[3,4]技術を使った手法が挙げられる。エピ成長技術は、Si 以外の新材料系の開発は困難な一方、転写技術は異種チャンネル[3]や異種面方位[4]、上下の n/p FET のバランスなど、今後の CFET 性能向上が期待できる手法である。CFET を使った SRAM のセルレイアウトを、図 1 に示す。二つ CFET インバーターと二つパルゲート(PG)トランジスタを並べた CFET SRAM では、セルサイズが 6T から 4T に縮小される(図 1 (a))。さらに、PG を CFET に積層できると、原理的にはセルサイズは 2T まで縮小可能である(図 1 (b))。そこで、本研究では PG を CFET インバーターの真上に 3D 集積して、SRAM セル面積の極小化を試みた[5]。従来の平面型 6T SRAM と比較して、今回提案した 3D CFET SRAM のセル面積は、設計上最大 42%削減することが可能である[5]。

【結果および考察】低温異種接合技術(LT-HBT)[3,4]を駆使し、Ge/2Si CFET インバーターと IGZO PG が集積した 3D CFET SRAM 構造を実証した。プロセスフローを図 2 に示す。IGZO は低温で堆積可能で S/D 活性化プロセスも不要なため、下地 CFET インバーターへのプロセスダメージを抑制できることから、PG チャンネル材料として採用した。図 3 に、Ge/2Si CFET のチャンネル積層部分の断面構造を示す。最上層の単層 Ge チャンネルと 2層 Si チャンネルがほぼリリースされ、GAA 構造になっているのがわかる。図 4 に IGZO 堆積後の断面 TEM 図を示す。CFET 上に IGZO の MOS 構造が観察できており、3種類の FET が積層されることでセル面積の極小化が可能になる。実測した CFET インバーターの特性とシミュレーションされた SRAM 特性の結果をもとに SNM とスタンバイ消費電力を予測すると、今回提案した 3D CFET SRAM(Fig. 1 (a))が Si PG を有する CFET SRAM(Fig. 1(b))よりオフ電流が抑えられることで、性能が改善することが明らかになった[5]。

【参考文献】 [1] A. Mocuta et al., *VLSI Symp.* 147 (2018). [2] C. Y. Huang et al., *IEEE IEDM* 425 (2020). [3] T. Z. Hong et al., *IEEE IEDM* 319 (2020). [4] X. R. Yu et al., *VLSI Symp.* 399 (2022). [5] X. R. Yu et al., *IEEE IEDM* 487 (2022).

【謝辞】本研究は、JST 国際科学技術協力基盤整備事業（日本—台湾研究交流）、JPMJKB1902 の支援を受けたものである。

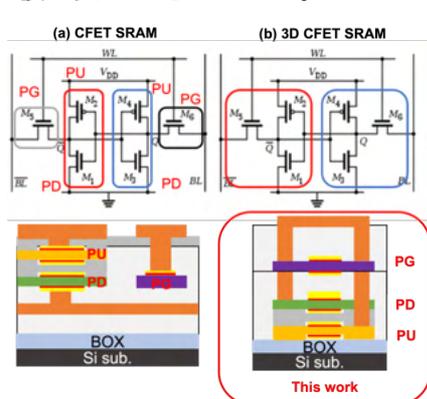


Fig. 1 6T SRAM architecture design (a) CFET SRAM design with 4T cell size; (b) 3D CFET SRAM design with 2T cell size, enable chip area to continue shrinking. The corresponding schematic cross-sectional figure of half of 6T SRAM circuit are shown below, respectively.

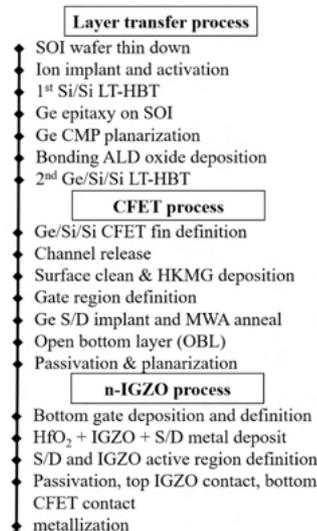


Fig. 2 Process flow for fabricating 3D CFET SRAM.

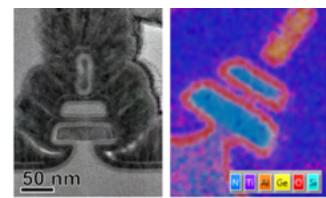


Fig. 3 The cross-sectional TEM image and EDS mapping of Ge/2Si CFET inverters.

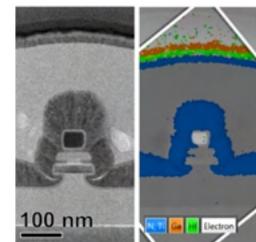


Fig. 4 The cross-sectional TEM image and EDS mapping of 3D CFET SRAM after IGZO deposition.