表面偏析による Bi 薄膜化を利用した Bi/Au コンタクト WSe₂ FET の p 型動作 The *p*-type operation of WSe₂ FET with Bi/Au contact by reducing Bi thickness with surface segregation

東京大¹, 埼玉大² ○中島 隆一¹, 西村 知紀¹, 上野 啓司², 長汐 晃輔¹ The Univ. of Tokyo¹, Saitama Univ.², ○R. Nakajima¹, T. Nishimura¹, K. Ueno², and K. Nagashio¹ E-mail: nakajima-ryuichi@g.ecc.u-tokyo.ac.jp

【緒言】

二次元半導体チャネルの CMOS 実現には *p* 型 FET の特性向上が必須であるが, コンタクト 領域で金属のフェルミ準位が半導体のギャッ プ内準位形成のため伝導帯付近にピン止めさ れるフェルミレベルピニング(FLP)が大きな課 題となっている¹. 我々は(1)低温蒸着により DIGS 抑制, (2)半金属であるため状態密度が小 さく MIGS 抑制・フェルミ準位を変調可能とい う点から Bi に着目した. これまでに Bi/Au 二 層系電極により WSe₂の *p*型 FET 動作を試みた が, 仕事関数の変調が期待できる極薄 Bi では Au 蒸着の熱ダメージが抑制できていない一方 で, 熱ダメージ抑制のために Bi 膜厚を厚くし ていくと仕事関数の変調が見られなくなった.

一方で,20-nm Bi/Au 二層系電極において 180°C程度のデバイス作製プロセス温度内でBi が Au の粒界を拡散し Au 表面に偏析している ことを発見した.これは,BiのAu表面偏析が 熱力学的に安定である²ことを示唆している. そこで本研究ではFig.1で示すように表面偏析 を利用して Au 蒸着後にBi を薄くすることに よりWSe2/極薄 Bi/Auの p型動作を試みた.

【結果及び考察】

まず Bi/Au 二層系での表面偏析が実際に起こ るか実証した. 90-nm SiO₂/n⁺-Si 基板上に Bi を 5 nm・Au を 10.7 nm それぞれ熱蒸着し,各温度 でアニールをした後に XPS 測定を行い,表面近 傍での Bi と Au の割合を見積もった(Fig. 2). ア ニール温度を上げていくと表面近傍の Bi が増加しているため, 熱処理により Bi の Au 表面偏析が進行していることがわかる. これにより Bi/Au 二層系電極の Bi 薄膜化が可能であると判断した.

次に 90-nm SiO₂/n⁺-Si 基板上に機械剥離した WSe₂を転写し、コンタクトメタルとして Bi/Au 電極を熱蒸着して FET を作成し Id-Vg 測定を行 った. 1-nm Bi/Au 電極では Fig. 3 で示すように p型特性と共にn型特性も示しており,Au蒸着 の熱ダメージが Bi で抑制できていないことが わかる. アニール前の 3-nm Bi/Au 電極では Fig. 4 で示すように Bi 単体の電極の時とほとんど 同様の強いn型を示しており、これはコンタク ト領域の Bi 薄膜の仕事関数が Au によって変 調されていないことを示している. その後 300℃アニールを施して再び Id-V。測定を行うと 特性が Ambipolar ヘシフトした. 先ほどの実験 と併せて考えると表面偏析によってコンタク ト領域のBi 膜厚を薄くしたことによりBiの仕 事関数が WSeっの伝導帯付近からバンドギャッ プ中央付近に変調されたためと考えられる.

熱力学的なアプローチで金属電極を形成す ることにより WSe₂-FET の特性を変化させるこ とができた.本手法は半導体の特性を最大限に 引き出すのに有効であると考えられる.

【参考文献】

- ¹ D. Xiang and T. Liu, Nat. Electron. **4**, 868 (2021).
- ² M. Yoshitake, *et al.*, J. Vac. Sci. Technol. **A19**, 1432 (2001).

