

## GaN リサイクル基板上に作製した縦型 PND と横型 MOSFET の電気特性評価

## Electrical property of vertical PNDs and lateral MOSFETs on a recycled GaN wafer

ミライズテクノロジーズ<sup>1</sup>, 名古屋大<sup>2</sup>, 浜松ホトニクス<sup>3</sup>,○石田 崇<sup>1</sup>, 牛島 隆志<sup>1</sup>, 中林 正助<sup>1</sup>, 加藤 孝三<sup>1</sup>, 小山 貴之<sup>1</sup>, 長里 喜隆<sup>1</sup>, 大原 淳士<sup>1</sup>,星 真一<sup>1</sup>, 長屋 正武<sup>1</sup>, 原 一都<sup>1</sup>, 金村 高司<sup>1</sup>, 鶴田 和弘<sup>1</sup>, 小島 淳<sup>1,2</sup>, 上杉 勉<sup>2</sup>, 田中 敦之<sup>2</sup>,笹岡 千秋<sup>2</sup>, 恩田 正一<sup>1,2</sup>, 須田 淳<sup>2</sup>, 原 佳祐<sup>3</sup>, 河口 大祐<sup>3</sup>, 久野 耕司<sup>3</sup>, 箴島 哲也<sup>3</sup>MIRISE Technologies<sup>1</sup>, Nagoya University<sup>2</sup>, HAMAMATSU PHOTONICS<sup>3</sup>,○Takashi Ishida<sup>1</sup>, Takashi Ushijima<sup>1</sup>, Shosuke Nakabayashi<sup>1</sup>, Kozo Kato<sup>1</sup>, Takayuki Koyama<sup>1</sup>, YoshitakaNagasato<sup>1</sup>, Junji Ohara<sup>1</sup>, Shinichi Hoshi<sup>1</sup>, Masatake Nagaya<sup>1</sup>, Kazukuni Hara<sup>1</sup>, Takashi Kanemura<sup>1</sup>,Kazuhiro Tsuruta<sup>1</sup>, Jun Kojima<sup>1,2</sup>, Tsutomu Uesugi<sup>2</sup>, Atsushi Tanaka<sup>2</sup>, Chiaki Sasaoka<sup>2</sup>, ShoichiOnda<sup>1,2</sup>, Jun Suda<sup>2</sup>, Keisuke Hara<sup>3</sup>, Daisuke Kawaguchi<sup>3</sup>, Koji Kuno<sup>3</sup>, Tetsuya Osajima<sup>3</sup>E-mail: [takashi.ishida.j4m@mirise-techs.com](mailto:takashi.ishida.j4m@mirise-techs.com)

【はじめに】次世代パワー半導体素子として期待される縦型 GaN デバイスの低コスト化を実現するためには、基板コストを低減する必要がある。基板はデバイス動作において不要な寄生抵抗となるため、従来、デバイス作製後に研削研磨で大部分を除去される。しかし、高価な GaN 基板の使い捨ては GaN デバイスのコストアップ要因となる。そこで我々は、デバイス作製後にレーザーライス (LS) により GaN 基板表面のデバイス部分を剥離<sup>[1]</sup>し、下地基板のリサイクル<sup>[2]</sup>を試みた。今回、リサイクル基板上に作製したデバイスが動作することを確認できたので報告する。

【実験】デバイスを作製し LS 剥離した履歴のある GaN 基板上に、n-GaN (Si:  $1 \times 10^{17} \text{ cm}^{-3}$ , 4  $\mu\text{m}$ )、p-GaN (Mg:  $5 \times 10^{17} \text{ cm}^{-3}$ , 2  $\mu\text{m}$ ) を MOVPE 成長した。この試料上に作製した縦型 PND (図 1) の逆方向特性、横型 MOSFET (図 2) の伝達特性を評価した。

【結果】リサイクル前後で縦型 PND の逆方向特性 (図 3) と横型 MOSFET の伝達特性 (図 4) とともにデバイスが動作することを確認した。これにより、GaN 基板リサイクルの原理検証ができた。当日は、LS 剥離前後 (剥離後評価チップ 50  $\mu\text{m}$  厚) での電特評価結果についても報告する。

[1] A. Tanaka, *et al.*, Scientific Reports **11**, 17949 (2021).

[2] 大原他, 先進パワー半導体分科会 第 9 回講演会, IIA-5 (2022).

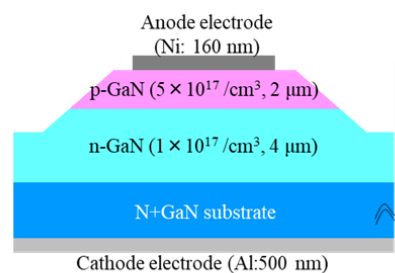


Fig. 1 Cross section of a fabricated PND

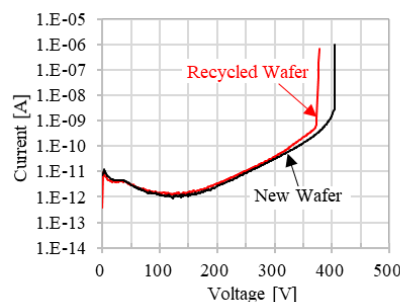


Fig. 3 Reverse  $I$ - $V$  curves of vertical PNDs on new and recycled wafers

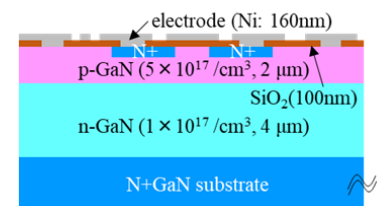


Fig. 2 Cross section of a fabricated MOSFET

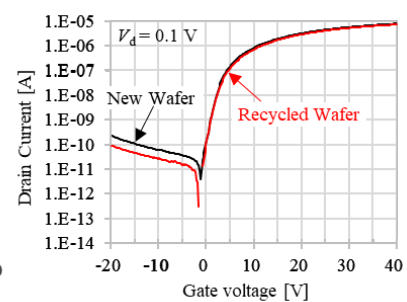


Fig. 4  $I_d$ - $V_g$  curves of lateral MOSFETs on new and recycled wafers