

界面準位を含む MOS キャパシタの回路モデリング

Circuit modeling of MOS capacitors with interfacial traps

産総研 ○福田 浩一, 服部 淳一, 浅井 栄大, 井手 利英, 清水 三聡

AIST ○Koichi Fukuda, Junichi Hattori, Hidehiro Asai,

Toshihide Ide, and Mitsuaki Shimizu

MOS キャパシタは MOSFET の構成要素であるが、界面準位の効果を含む回路モデリング手法は研究段階である。CV 特性のヒステリシスや周波数分散を再現するには、素子ごとのトラップ状態を動的に追う必要がある。その上で複数のトラップレベルを扱うためには、数値的に自己無撞着解を求める必要がある。我々は SPICE 回路シミュレータに Verilog-A 言語を用いトラップの動的な履歴を自己無撞着に解く MOS キャパシタのシミュレーション方法を提案している[1]。ここではその詳細設定の検討結果を報告する。

Fig. 1 はシミュレーションに用いた GaN MOS キャパシタの模式図である。SiO₂ の膜厚は 100 nm とした。ゲート電極に加え、周波数に応じた振幅 10mV のサイン波を与えた。一周周期を 32 分割し、容量値は 3 周期目の電荷の振動量から求める。トラップエネルギー分散値を与え、それ 8 分割して数値的に扱った。

MOS キャパシタはポアソン方程式、電子電流連続の式、トラップのレート方程式を反復解法で収束させた。

Fig. 2 はアクセプタ型トラップを深さ 1.0 eV に $1.5 \times 10^{12}/\text{cm}^2$ 、0.55 eV に $3 \times 10^{11}/\text{cm}^2$ 、0.9 eV に $4 \times 10^{11}/\text{cm}^2$ の 3 種のトラップを仮定した場合の C-V カーブである。電圧間の回路シミュレーションは電圧上昇、下降共に安定して収束した。

This work was partially supported by Council for Science, Technology and Innovation(CSTI), Cross-ministrial Strategic Innovation Promotion Program (SIP), “Energy systems of an Internet of Energy (IoE) society” (Funding agency:JST).

[1] K. Fukuda, et al., JJAP 58(SB) (2019).

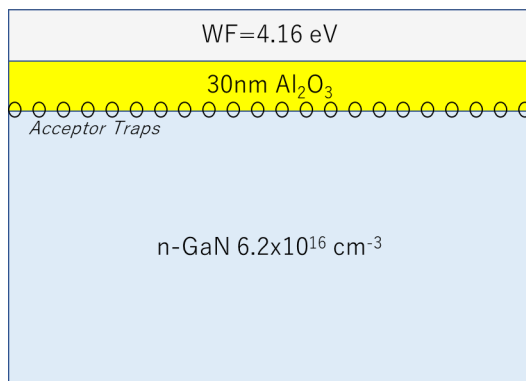


Fig. 1 Simulated GaN MOS capacitor.

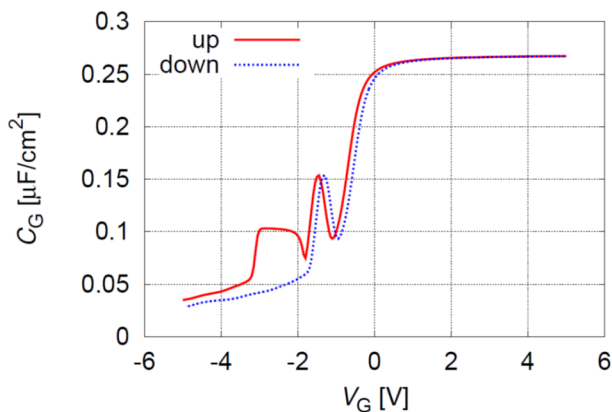


Fig. 2 C-V curves at the frequency of 1 Hz