

GaN MOSFET の界面酸化抑制によるしきい値・移動度特性改善

Improvement of V_{th} - μ_{ch} characteristics by suppressing interfacial oxidation of GaN MOSFET富士電機¹, 東北大 NICHe²○近藤 剣¹, 上野 勝典¹, 田中 亮¹, 高島 信也¹, 江戸雅晴¹, 諏訪智之²Fuji Electric¹, NICHe, Tohoku Univ.²○Tsurugi Kondo¹, Katsunori Ueno¹, Ryo Tanaka¹, Shinya Takashima¹,Masaharu Edo¹, Tomoyuki Suwa²

E-mail: kondou-tsurugi@fujielectric.com

【背景】 GaN 系パワーデバイスの実用化に向けては、絶縁ゲート駆動でノーマリーオフ型の MOSFET 実現が望ましい。ゲート絶縁膜の信頼性確保には PDA が必須であるが、PDA によるしきい値の負電圧シフトが MOS 界面酸化層(GaO_x層)により生じることが報告された[1]。また我々は以前、GaO_x層を薄くすることでチャネル移動度が向上することを報告した[2]。これらのことから界面酸化を抑制することで、PDA によるしきい値シフト抑制と高チャネル移動度が両立できる可能性がある。そこで今回は、さらなる特性改善に向けて、界面酸化をさらに抑制する絶縁膜成膜手法を検討し、MOSFET 特性を検証した結果を報告する。

【実験方法】 リモートプラズマ CVD により、界面 GaO_x層厚さを 3 水準(①従来水準、②界面酸化抑制水準、③意図的な界面酸化水準)変えて SiO₂を成膜した。XPS 分析により GaO_x層厚さ、n 型 MOS キャパシタにより C-V 特性、横型 MOSFET によりチャネル特性の評価を行った。

【結果】 Fig.1 に、各サンプルの GaO_x層厚さと、PDA(N₂雰囲気中 800°C, 30min)前後のフラットバンド電圧シフト(ΔV_{fb})を示す。GaO_x層厚さは水準③>①>②で、狙い通りの変化が得られた。 ΔV_{fb} については、界面酸化を抑制した水準②で想定通り低減したが、意図的に厚くした水準③でも低減した。これは、GaO_x層の膜質が変化した影響と考えられる。Fig.2 に、PDA 後の MOSFET のゲート電圧と電界効果移動度の関係を示す。界面酸化を抑制した水準②で、しきい値シフトの大幅抑制と高移動度を両立可能であることが確認できた。今後は、さらなる特性改善に向けて、さらに界面酸化を抑制する手法の検討を進める予定である。

[1] H. Mizobata *et al.*, Appl. Phys. Express **13**, 081001 (2020)

[2] 上野他,第 65 回応用物理学会春季学術講演会,19p-C302-1 (2018)

【謝辞】 本研究は、文部科学省 革新的パワーエレクトロニクス創出基盤技術研究開発事業 JPJ009777 の助成を受けたものです。

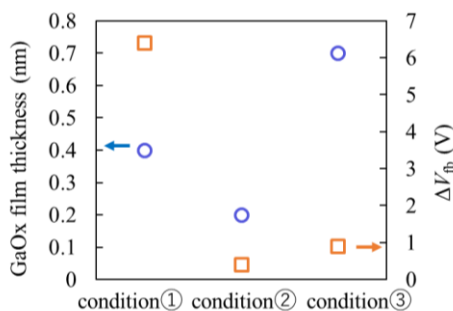


Fig.1. GaO_x film thickness and ΔV_{fb} with different SiO₂ deposition conditions

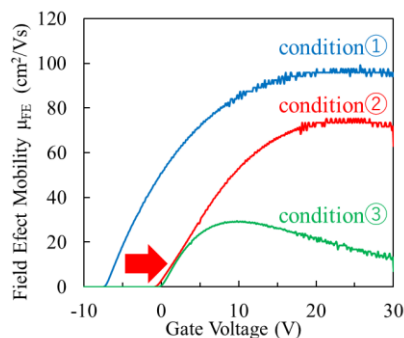


Fig.2. V_g - μ_{FE} with different SiO₂ deposition conditions after PDA, d_{ox} =100 nm, L_g =100μm, circular pattern.