

4-1 Diffusion Selfaligned MOST; A New Approach for High Speed Device.

電試 (田無)

垂井 康夫・林 豊・関川 敏弘

電界効果型トランジスタは現在ではその動作周波数はバイポーラ型トランジスタに劣っている。しかし電界効果型トランジスタにおいてもチャネル長を小さくすることが可能であると考え、両トランジスタについて寄生素子を無視して $g_m/2\pi C$ を計算した結果を Fig. 1 に示す。すなわち、加工寸法が同一ならば、真性トランジスタの遮断周波数はバイポーラ型トランジスタにくらべて 1~2 桁大きい。しかるに現在高速素子が得られない原因は

1. チャネル長を小さくできない。
2. ゲート・ドレイン又はソース間の寄生容量が大きい。
が挙げられる。

2 を解決する方法としては self alignment による製法、4 極 MOST が提案されている。しかし 1 のチャネル長はホトエッチ技術の限界のみならず、パンチスルー・降服電圧等の特性上の問題によって小さく出来る限界があった。

この原因を解決するために Fig. 2 に示す構造を有する電界効果トランジスタを提案する。すなわち、チャネル長はバイポーラトランジスタと同様に深さ方向の拡散又はエピタキシャルにより決定されるように $N^+PN^+N^+$ 構造の 1 部を取除いて作れば、ホトエッチ精度に関係なく $Sub\mu$ のチャネル長が実現できる。更にゲート酸化膜を介してのゲート電極とソースとの重なり部分はやはり $Sub\mu$ となり、他は厚い酸化膜を介しているためゲート・ソース間容量も小さい。ゲート・ドレイン間容量は N ドレイン領域に空乏層が広がるので小さくなる。

従来の構造でチャネル長を小さくして行、たときに問題となる電気特性の変化は

- (イ) 飽和領域における出力コンダクタンスの増大
- (ロ) ドレイン・ソース間にパンチスルー電流が流れる。
- (ハ) ドレイン降服電圧の減少

従来の平面構造では基板の不純物濃度を $10^{16} \text{ atom/cm}^3$ 程度に濃くとっても 0.7μ 以下ではドレイン電圧が $0V$ でもパンチスルーする。(イ)、(ロ) についても空乏層がドレインからチャネルへ広がることに原因している。一方 Fig. 2 の構造によると、空乏層は主にドレイン領域に広がるのでチャネルを短かくしたために生ずる (イ) ~ (ハ) までの電気特性の変化は少ない。問題となるのはドレインの電流密度が従来の構造にくらべて大きく出来ないことである。

Fig. 3 のような平面構成を仮定した寄生素子の等価回路は Fig. 4 のようになり、 1GHz 以上の素子が容易に得られることがわかった。

以上、電界効果型トランジスタを高速化するために $N^+PN^+N^+$ 構造のエッチングによる素子の構成法を提案し、その速度を評価した。

