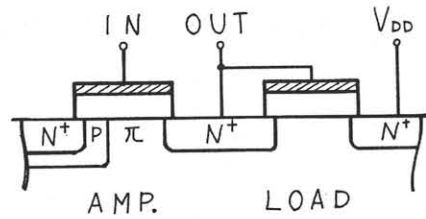


電気試験所

垂井 康夫 林 豊 奥川 敏弘

素子の主動作領域の寸法を拡散現象を用いて自動的に決定する(DSA: Diffusion Self-Alignment)ことによつて、従来のホトエッチ技術のみでは困難であつた微小寸法を有する高性能の素子を実現する方法について先に提案し、DSA・MOSトランジスタに関しては開発・試作結果まで含めて報告した。⁽¹⁾⁽²⁾⁽³⁾ 一方DSAラテラル・トランジスタについての設計原理の報告を行った。⁽⁴⁾ 今回はIC化の一環としてIC構造に適した新形式のトランジスタを用いたDSA・MOS・ICの構成と試作結果について報告する。

オ1図はこの新形式のDSA・MOSトランジスタの断面を示す。今回は接合相互位置が拡散できまると言う基本的な考え方を直接的に応用してMOSトランジスタの動作範囲をマイクロ波領域まで拡大できることを示したが、そのICの製作においてはエピタキシアル層や分離を必要としていた。今回の構造はこの点を改善して電氣的性能はほぼ同じく保つて製法を著しく容易にしたもので次のような特徴がある。

オ1図 π -Planar 構造

1. 自己分離形でエピタキシアル層不要。
2. フォトマスクの数は従来のMOS・ICの場合より更に一枚加えるだけでよい。
3. 動作電圧領域でドレイン・ソース間の π 領域は空乏層となるように設計され、この空乏層をキャリアが走る *transit time* と帰還容量との間の最適設計が可能となる。
4. DSA構造を有しないMOSトランジスタはデプレッション形となるので、Enhancement・Depletion Type (EDT)動作が可能となる。EDT・MOS・ICは $n_p \cdot P$ (伝播遅延時間・電力積)の小さい高性能デジタルICが可能であるが⁽⁵⁾ DSA・MOSトランジスタを用いれば、チャンネル幅が小さくなり、入力容量が小さくなりしかも単位面積当りの接合容量も小さいので、更に高性能化が期待される。

この他に一般にDSA・MOSトランジスタのデジタル素子としての特徴は、

5. 真性のトランジスタ動作が速い(実効チャンネル長 L が $Sub \mu$ である)
6. 飽和領域での g_m はキャリアの速度飽和のため一定になるが、“on”抵抗に相当する低ドレイン電圧での出力抵抗はチャンネル長に従つて小さくなる。
7. ベースのソース端不純物濃度を変えることにより、他のパラメータを大きく変化させることなしに、 V_{th} を制御することができる。

以上の観点からオ2図に等価回路を示すような基本ゲートを試作した。その写真をオ3図に示す。オ4図は写真の寸法のDSA・MOSトランジスタの出力特性で、

飽和電流はキャリアの速度飽和を考慮した理論特性と電流の大きい領域でよく一致する。オ5図はICの伝達特性であり、高速設計されたものは負荷電流が約800 μ A、 t_p は測定結果をLSI構成でファンアウト3に換算すると約1.2 nsec ($t_p \cdot P \approx 2.4$ pJ)、低電力設計されたものでは負荷電流約20 μ Aで t_p は同様な条件で約12 nsec ($t_p \cdot P \approx 0.24$ pJ)となる。ICの製作・計算に御協力いただいた由井尚正、吉原弘章、北川尚、井上坦、本郷明夫、杉山健治の諸氏に感謝する。

〔文献〕(1)垂井・林・関川, *The 1st Conference on Solid State Devices*, 4-1 (1969)

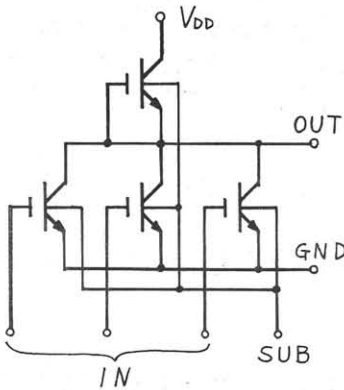
Y. Terui, Y. Hayashi, T. Sekigawa, *Proceeding of the 1st Conference on Solid State Devices* 4-1 (1969)

(2)垂井・関川・林, 昭45 四学会連大 1640

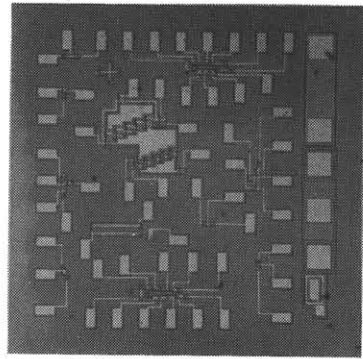
(3)林・関川・垂井, " 1641

(4)垂井・小宮・長谷川, 昭45 四学会連大 S11-8

(5)林・垂井, 昭44 信学会全大 678

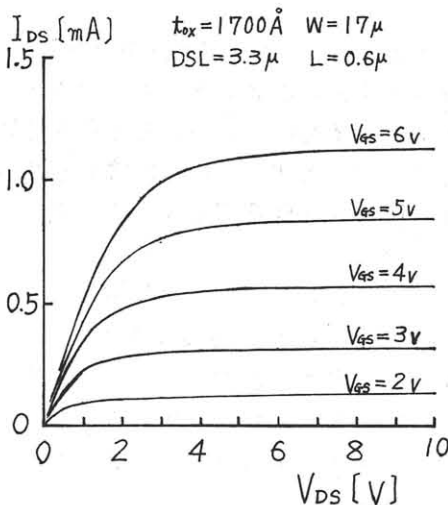


オ2図 DSA-EDT 構成

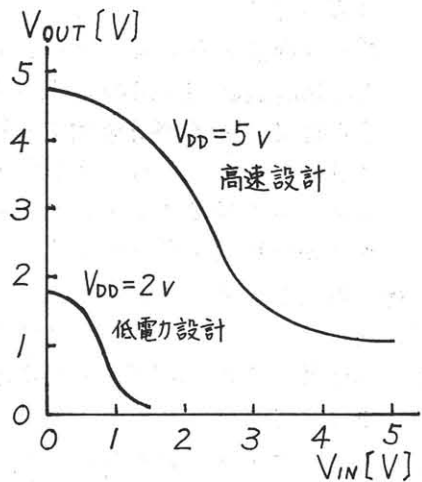


オ3図 DSA-MOS-IC

UNIT CELL 面積 $30 \times 200 \mu^2$



オ4図 DSA-MOSトランジスタの出力特性



オ5図 試作 DSA-EDT-MOS-IC の伝達特性