

5-3 Technology and Performance of N-channel MOS-LSI Using Depletion-type Load Elements

日立中研 橋本哲一・永田稔・増原利明

<序> N-チャネル・MOS-IC/LSIは従来のP-チャネル・MOS-IC/LSIに比してキャリア移動度が大きく動作速度が速いことが知られている。

また、ディプレッション形MOS-FETをインバータ回路の負荷素子に用いることにより、回路のオフ時の速度を大幅に改善でき、遅延時間・電力積の優れたMOS-IC/LSIが可能となる。^{1)~3)}しかし、従来のN-チャネル・エンハンスメント形MOS-FETとディプレッション形MOS-FETを同一基板上に集積することは困難であった。

本報告ではCVD法による Al_2O_3 膜を利用することによって⁴⁾(1)低 V_{Th} のエンハンスメント形MOS-FETと(2)ディプレッション形MOS-FETを同一基板上に作り、(3)素子間の寄生チャネルを完全に防止して、これを集積するN-チャネル・MOS-IC/LSIのプロセス技術とそれから得られた成果について述べる。

<構造およびプロセス>

(1) エンハンスメント形MOS-FETのしきい値電圧(V_{Th})は熱酸化 SiO_2 とCVD法 Al_2O_3 の膜厚によって通常+1.0Vに制御され、最高 $1000\text{ cm}^2/\text{V}\cdot\text{sec}$ のキャリア移動度を持つ。

(2) ディプレッション形MOS-FETは上記 SiO_2 とPSG膜で安定化し、 V_{Th} 値は通常-1.0~2.0Vに制御される。

(3) フィールド部分は上記 Al_2O_3 を Si 基板に接触させ、また回路の容量を減らすため、その上に 5000 \AA 以上のPSG膜を堆積してあり、+20V以上のしきい値電圧を降ろしてある。

これらのMOS-IC/LSIの構造は図1に示すprocessによって安定に作り出される。なお、通常使用するP形 Si 基板は(100)面、 $10\Omega\cdot\text{cm}$ ($B: 1 \times 10^{15}/\text{cm}^3$)であり、 SiO_2 はdry酸化法、PSGは($SiH_4 + PH_3 + O_2$)反応を利用するCVD法、 Al_2O_3 膜は($AlCl_3 + H_2 + CO_2$)反応によるCVD法によってある。

このプロセスの大きな特徴は SiO_2 (“PSG”)膜と Al_2O_3 膜の化学的性質の差を利用して加工を行ない、エンハンスメント形素子(ゲート絶縁物— Al_2O_3/SiO_2)の4分らず、ディプレッション形素子(ゲート絶縁物—PSG/ SiO_2)を集積できることである。⁵⁾従来のP-チャネル・MOS-LSIのプロセスに比して、CVD工程が増えるが、その他の歩留りと低下させる工程は増えない。

<特性の一例>

以上のプロセス技術によってできるディプレッション形MOS-FETと負荷素子とするMOS-IC/LSIの一例を次に示せば

- (1) 遅延時間・電力積は従来のP-チャネル方式に比して約1桁改善される。(図2)
- (2) +5V, 1電源動作である。

(3) $3.0 \times 3.2 \text{ mm}^2$ 内にデコーダ付き 2048 ビットの ROM (リード・オンリ・メモリ) を集積できる。(図3) これは一試作例であるが、この方法はさらに、いろいろな回路への応用が考えられる。

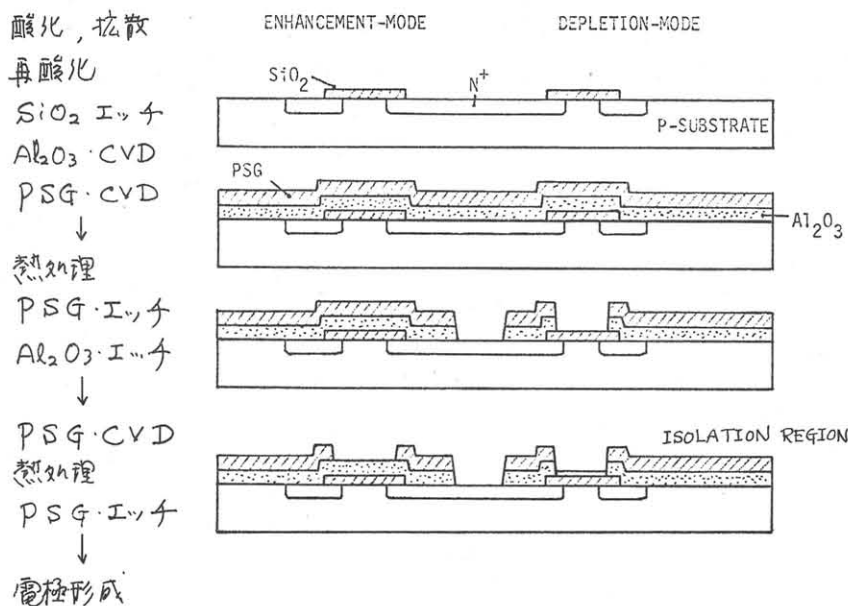
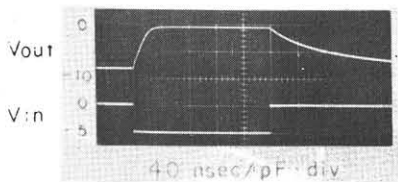


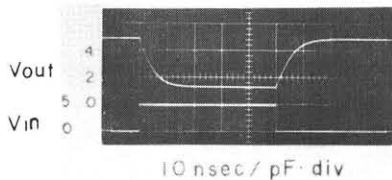
図1. Processing steps for N-channel MOS-LSI

< References >

- 1) H. C. Lin and C. J. Varker, 1969 NEREM RECORD, pp. 124-125
- 2) Y. Tarui, Y. Hayashi and T. Sekigawa, International Electron Devices Meeting, Washington D. C., October (1970)
- 3) M. Nagata, N. Hoshimoto and T. Masuhara, *ibid*
T. Masuhara, M. Nagata and N. Hoshimoto, ISSCC Digest of Technical Papers, pp 12-13, February (1971)



P-channel



N-channel, E/D

図2. P-チャネル
N-チャネル NOR
gate の switching
speed 比較

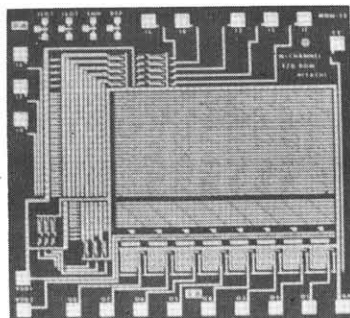


図3. A 2048-bits N-channel
read-only memory chip