5-5　アバランシェ注入型MOSメモリ

東芝総研　原　央，大内和則，佐藤　耐，丹呉浩侑，
安田幸夫，大森幸夫，山中　実，武石喜幸

1 序言。我々は一昨年来，p,nチャネルMOSFETにおけるドレーンアバランシェの効果の研究を行って来たが[1,2,3]その効果を利用すると，通常のAl,Siゲート FETでチャネル長Lが2μm程度なら，電気的書込可能な読出し専用記憶装置(ROM)ができることを見出した[4]。本講演ではその基本現象，動作原理，素子の具体的特性，書込法，消去法，記憶寿命，メモリ回路の構成などについて述べる。

最近，本研究とは独立にFrohman-Bentchkowsky がFloating-Gate Avalanche-Injection MOS ROM(FAMOS)を発表した[5]。これは原理的に本報告のものと同じであると考えられるが，多結晶Siを酸化膜中に埋込んだ構造でゲート電極を持たない。

2 アバランシェ注入とチャネル長の変化。Gurtler はpチャネルMOSTのドレーン接合に高電圧を印加しアバランシェを発生させると，アバランシェ電圧V_Bがwalk-outし上昇することを報告し，その原因を酸化膜中の正イオン移動に帰したが[6]，我々のp,nチャネルMOSTについての詳しい研究から，このwalk-outはアバランシェで発生したホットな電子（正孔）がドレーン近傍のゲート酸化膜中に飛び込み，酸化膜が安定に帯電するためであることが判明した[2]。Nicollianらの MOSキャパシタの実験[7]もこれを裏付ける。walk-outはp-FETの方がn-FETより大きい。それは電子に対する電位障壁(3.15eV)の方が正孔に対するそれ(3.85eV)より低いためである。またゲートに電圧をかけておくと，walk-outが早くなる。

アバランシェ注入で捕獲される電荷量N_{ss}と，注入される範囲（ドレーン接合からの距離）L_pは，walk-out前後のチャネル伝導度G_0，GをV_Gの関数として測定すれば求められる[2]。例えば5Ωcm,n型,(100)，d_{ox}=2000Å，V_T=−4V，V_B=−43VのFETで，V_G=0でwalk-outさせた結果から，V_B=−43→−60Vの場合はL_p=1μm，N_{ss}=5×10¹¹/cm²，→−80Vの場合はL_p=1.9μm，N_{ss}=1.2×10¹²/cm²である。従ってL=2μmのFETでソース(S)，ドレーン(D)接合の両方にアバランシェを起こすと，容易にV_G=0でもS−D間を導通状態にすることができる。これがメモリの書込みとして使える。この導通状態の保持が記憶寿命となる。これらを調べるため，L=1.5～2μm，W=50～100μm，d_{ox}=1700～3000ÅのAl,Siゲートpチャネル，Alゲートnチャネル FETについて実験した。

3 書込み。図1はpチャネルFETの初期特性である。ゲートを基板と同電位に保ち，S，D共通に−96V(6ms幅)のパルスを10kΩ抵抗を通して，繰返し加えて行き，250回印加後の特性が図2で，V_G=0でS，D間は導通状態になっている。この間にアバランシェ電流は4mAから1mAに減少している。このデータから書込効率η=（酸化膜に捕獲された電荷量／アバランシェ電流の積分量）を求めると5×10^{-11}である。次にゲートに50Vを加えたまま，同様のパルス印加を行うと，10回で図3と同じ特性になり，$\eta=5\times10^{-10}$で，効率が10倍になっている。つまりゲートに電圧を加えると注入が容易になり，書込速度の上昇，書込電圧の低下ができる。nチャネルFETでは効率がずっと落ちるが書込みは可能である。

4. 保持時間，消去。pチャネルFETを上記の方法で完全に書込ませ、G（$V_G=0$, $V_D=-1V$での伝導度）の各温度での劣化を測った結果が図3である。ゲートは浮かしても接地しても変わらない。200°Cでの減少曲線を50%まで延長すると100年以上になる。活性化エネルギは約0.12eVである。FAMOSの場合も約0.12eVである。[5] このことからFAMOSの場合も大部分の電子は多結晶Siではなく酸化膜中に捕獲されているものと考えられる。

消去はX線照射で可能で、照射量が10^6rads程度で完全に消去し、再び同じように書込める。ゲートに正電圧を加えると、必要照射量は遥に減少することが見出された。

5. メモリ回路。以上の作用を利用してROMを作る場合、幾つかの回路構成が可能だが、図4はその一つで2×2マトリックスの場合である。・印を付したのがメモリーFETで、他が語選択に必要なL≧5μmのFETである。書込時にはA端子に高い電圧を加えておけばメモリーFETのV_Bが下がるので、デコーダトランジスタの耐圧内で書込める。語選択にはWの線，桁選択にはB，B'の線を用いる。書込み時にはB'の線をV_Bに持って行き、B，B'線を同電位にしてソース，ドレーンの両側から書込む。

6. 結語。以上、通常のMOS FETを用いて電気的書込可能なROMが実現できることを示した。これはFAMOSに比べて、書込電圧が下げられる，X線照射による消去が早い，外部電界の影響がない，nチャネルも可能，などの利点を持っている。酸化膜中で電子，正孔を捕えて帯電するトラップの本質，充放電機構は興味ある問題であろう。

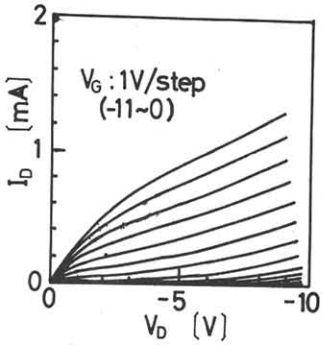


図1 初期のトランジスタ特性
(Alゲート，pチャネル；5Ωcm (100)，dox=2000Å，L=2μm，W=50μm)

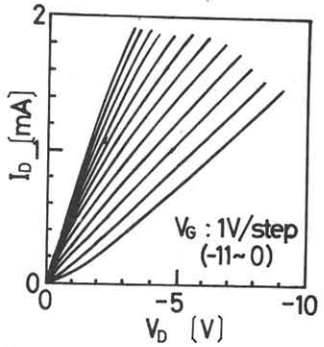


図2 −96V (6ms) パルス250回印加後の特性

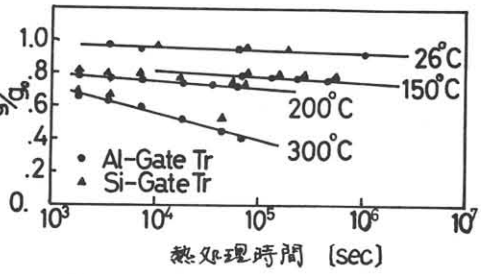


図3 書込後のチャネルコンダクタンスの経時変化

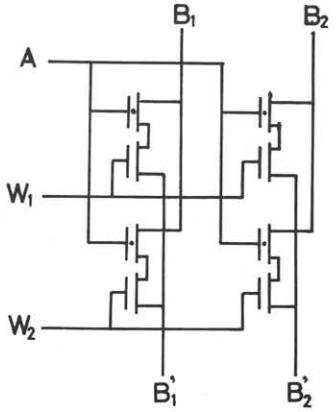


図4 メモリ回路の一例

文献 1) 原，岡本；応物講演予稿(44年秋) 12p-C-5.
2) H. Hara 他；Japan. J. Appl. Phys. 9 (1970) 1103.
3) 原，岡本，大沼；信学論(C) 54-C (1971) 178
4) 原他；信学会，半導体トランジスタ専門委，SSD 71-3 (46年4月)
5) D.F-Bentchkowsky：ISSCC Digest，(1971) 80.
6) R.W. Gurtler：IE^3 ED-15 (1968) 980
7) E.H. Nicollian 他；Appl. Phys. Letters 15 (1969) 174.

A perturbation approach is taken to calculate the scattering by the extra potential due to surface roughness, and wave function required in the computation is taken from the work of Stern and Howard[2]. Predicted properties due to the scattering by surface irregularities are compared with experimental results at low temperatures. All qualitative features, such as peak structure, mobility drop, orientational dependence, gate dependence, etc., are satisfactorily explained in terms of the combined effect of scattering due to surface asperities and coulomb centers. Contrary to some existing speculations[3] that mobility should drop as V_g^{-2} and $V_g^{-.5}$ by some workers, our theory predicts that the mobility variation is a strong function of the applied voltage. An important consequence of this result on the interpretation of the negative field effect mobilities will also be discussed.

At higher temperatures, the contribution to scattering by lattice vibration is expected to be important. A calculation, within the framework of the deformation potential is performed to estimate the contributions from both surface and bulk phonons. Different gate and temperature dependences are obtained for these two types of scatterers, and their relative contributions will also be discussed. A unified picture for mobility is finally presented which takes into account the combined effect due to coulomb scattering, phonon scattering and scattering by surface irregularities. Comparisons with experimental results for both p and n types with different orientations, show that all qualitative features of behaviour of channel mobility over a wide range of applied voltages and temperatures are satisfactorily explained by our theoretical model.

The implication of our results on improved process treatments for higher mobility MOS transistors will also be discussed.

References

[1] Y.C. Cheng, to be published.
[2] F. Stern and W.E. Howard, Phys. Rev. 163, 816 (1967).
[3] F. Stern, Proceedings 10th Intern. Conf. of Semiconductor Physics, Cambridge, 1970, p. 451.