

積層チャネル 3D-IC 向け極薄 Body Poly-Ge p -& n -MISFETs を用いた CMOS インバーターとリング発振器の作製および動作実証

Fabrication and Demonstration of CMOS Inverter and Ring Oscillator Composed of Ultra-Thin Body Poly-Ge p - and n -MISFETs for Stacked Channel 3D-IC

産総研 GNC¹, 名大院工², 学振³ ◯鎌田 善己¹, 小池 正浩¹, 黒澤 悦男¹,
黒澤 昌志^{2,3}, 太田 裕之¹, 中塚 理², 財満 鎮明², 手塚 勉¹

GNC, AIST¹, Nagoya Univ.², JSPS³ ◯Yoshiki Kamata¹, Masahiro Koike¹, Etsuo Kurosawa¹,
Masashi Kurosawa^{2,3}, Hiroyuki Ota¹, Osamu Nakatsuka², Shigeaki Zaima², and Tsutomu Tezuka¹

Present e-mail address: yoshiki.kamata@toshiba.co.jp

【背景】 MISFET の微細化以外で IC を高性能化、高集積化するため、3次元集積化 IC (3D-IC) が近年検討されている [1]。3D-IC には、TSV や μ -bump を用いて IC を積層する場合と、チャネルを積層する場合の 2 種類があり [1]、我々は合わせ精度が $1\mu\text{m}$ 以下と高集積化可能で、かつ通常の CMOS プロセスのみ用いるため低コスト化可能な積層チャネル型 3D-IC に注目している。積層チャネル材料としては、多結晶ゲルマニウム (poly-Ge) が低コスト、高性能、低温プロセス、CMOS 化の観点から注目される。Ge チャネルは pn 接合起因で GIDL 等のリーク電流が多いため CMOS 回路動作させることが難しく、多結晶 Ge に限らず単結晶 Ge を含めこれまで CMOS 回路動作実証の報告例が無かった。我々は GIDL 抑制、 n -チャネル動作、 V_{th} 調整という poly-Ge チャネルの課題について、pn 接合を持たない junctionless (JL) 型 MISFET [2] を用い、P を高ドーズ注入し、Si cap をゲートスタックに介在させ解決できたと前回までに報告した [3, 4]。本発表では、BEOL プロセスへの整合性と低コスト化の観点で平面型の poly-Ge CMOS インバーターおよびリング発振器を作製し評価した結果について報告する。

【素子構造】 非晶質 Ge 膜を SiO_2/Si 基板上にスパッタ成膜後、i 線露光および RIE プロセスを用い素子領域を加工し、 N_2 中高温ランプ加熱で一旦 poly 化させた後、 n -FETs は P イオン注入後活性化/再 poly 化熱処理し、 p -FETs はイオン注入無しで作製した。ゲートスタック構造は p -FETs, n -FETs 共に poly-Ge/Si cap/HfAlO/TaN であり、ゲート電極は i 線露光、RIE 加工で形成した。ソース/ドレイン領域の一部は Ni を用いて自己整合 NiGe 化している。層間膜堆積後 1M 配線まで行った。

【結果】 平面および断面 TEM 像から算出される poly-Ge の粒径は膜厚と同程度の約 10nm (Fig. 1)。 p および n -FET において良好な V_g - I_d 特性が得られ、Si cap が p -FET と n -FET の V_{th} の差を 1.3V と大きくする効果は前回同様であるが、今回の素子では p -, n -共に正に V_{th} が shift した (Fig. 2)。Poly 化温度を高温化したため BOX/poly-Ge 界面に負の固定電荷を生成し V_{th} を p -, n -共に正にシフトさせたと考えられる。これら p -, n -FETs を組み合わせ CMOS インバーターを作製し、更にインバーターを 41 段繋ぎリング発振器を作製したところ、0 から V_{out} まで full-swing する良好なインバーター回路動作特性、リング発振特性が得られた (Fig. 3)。

【結論】 3D-IC 用 CMOS チャネル材料として、poly-Ge チャネルが有望であることが示された。

【謝辞】 本研究は、政府の最先端研究開発支援プログラムにより、助成されたものです。

【文献】 [1] P. Batude *et al.*, IEDM p.151 (2011). [2] J.-P. Colinge *et al.*, Nature Nano. 5 225 (2010). [3] 鎌田 他, 2013 年応物秋 18p-P10-4. [4] 鎌田 他, 2014 年応物春 19p-F12-17.

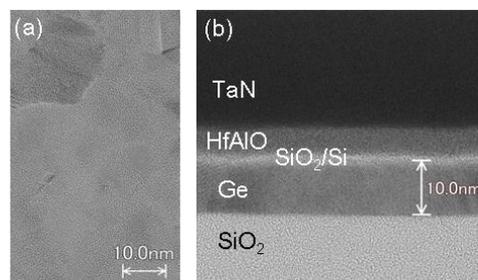


Fig. 1 (a) Plane-view and (b) cross-sectional TEM images of 10nm-thick poly-Ge layer.

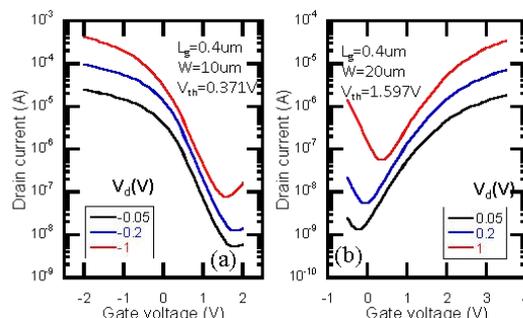


Fig. 2 I_d - V_g curves of (a) p -FET, and (b) n -FET. $\Delta V_{th}(=V_{th,p}-V_{th,n}=1.226\text{V})$ is comparable to the reported value of 1.293V in the Si capped JL p - and n -FETs [4].

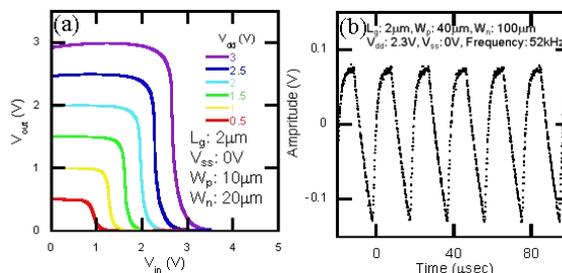


Fig. 3 (a) Voltage transfer characteristics of poly-Ge CMOS inverter. (b) Ring oscillation composed of 41 stages measured at AC mode.