

フレキシブル基板上での単結晶シリコン CMOS トランジスタの作製

Fabricating single-crystalline Silicon CMOS transistors on flexible substrate

広大院 先端研¹, 学振特別研究員 PD², 広大なノデバイス・バイオ融合科学研究所³

酒池 耕平^{1,2}, 中川 明俊¹, 赤澤 宗樹¹, 東 清一郎^{1,3}

Grad. School of AdSM, Hiroshima Univ.¹, JSPS Research Fellow PD², RNBS, Hiroshima Univ.³

°K. Sakaike^{1,2}, A. Nakagawa¹, M. Akazawa¹ and S. Higashi^{1,3}

E-mail: semicon@hiroshima-u.ac.jp

序>これまでに、対向密着した中空構造 SOI 層と転写先プラスチック基板との間に水を介在させ、水を蒸発させる過程で発生する強いメニスカス力を利用することで、転写先プラスチック基板上に必要な位置に局所的に単結晶シリコン(c-Si)膜を転写形成できることを報告してきた[1-5]。このような転写技術を用いて、高性能 c-Si CMOS(相補型金属酸化膜半導体: Complementary Metal Oxide Semiconductor)トランジスタをプラスチック基板上に必要な位置に局所的に形成することが可能となれば、有機や酸化物デバイスとの併用または、融合により集積回路とセンサなどの異種デバイスを一括搭載するシステム集積化技術の新たな可能性を見出すことができ、より広範なエレクトロニクス領域の創成が可能になると考えられ、フレキシブルエレクトロニクスの飛躍的な進歩が期待できる。本研究では、提案した低温転写技術を応用し、プラスチック基板上での単結晶 Si CMOS トランジスタの作製を試みたので報告する。

実験方法>まず、SOI(Silicon on Insulator)基板[SOI 層: p-type Si(100), 10-30 $\Omega\cdot\text{cm}$]を、 $3\text{ }\mu\text{m} \times 5\text{ }\mu\text{m}$ のライン両端に $20\text{ }\mu\text{m} \times 20\text{ }\mu\text{m}$ の正方形を配置したドッグボーン形状にパターンニングする。ここで、ライン両端の SOI 層は $2\text{ }\mu\text{m} \times 2\text{ }\mu\text{m}$ のスペースを $3\text{ }\mu\text{m}$ 間隔で配置した網目形状としている。

次に、n-channel TFT を作成する為にソース、およびドレイン領域に $1 \times 10^{15}\text{ cm}^{-2}$ のリンを、チャネル領域には $1 \times 10^{11}\text{ cm}^{-2}$ のボロンをイオン注入後、電気炉(1000°C 、10 分間)でリンおよびボロンの活性化を行った。また、p-channel TFT を作成する為にソース、およびドレイン領域に $1 \times 10^{15}\text{ cm}^{-2}$ のボロンを、チャネル領域には $1.6 \times 10^{12}\text{ cm}^{-2}$ のリンをイオン注入後、同条件下の電気炉で活性化を行った。次に、BOX 層(SiO_2 層)を 33% の HF にて約 1 分 30 秒エッチングすることにより SiO_2 柱に支えられた中空構造 SOI 層[単結晶 Si(c-Si)層]を形成した[1]。ここで、良好な c-Si/絶縁膜界面を形成する為に中空構造 c-Si 膜を熱酸化(1000°C)し、SOI 層に高品質 SiO_2 層を形成した(Fig.1(I))。酸化膜形成後、フォーミングガス($\text{H}_2 + \text{N}_2$: 3%)雰囲気中にて 400°C で 30 分間の熱処理を行った。中空構造 SOI 層を熱酸化することにより、SOI 層表裏全面に SiO_2 層の形成が可能となり、転写時に表裏が逆転しても高品質な SiO_2 層をゲート絶縁膜として利用することができる。さらに、 SiO_2 層により転写先フレキシブル基板から Si 膜への不純物の混入防止も期待できる[2,3]。この試料と、転写先ポリエチレンテレフタレート(PET)基板とを $8\text{ }\mu\text{L}$ の純水を介して対向密着させ、 80°C のホットプレート上で約 15 分間水分を蒸発させた後、基板を分離することにより c-Si 膜を PET 基板上へ転写した(meniscus-force-mediated layer-transfer: MLT [1]) (Fig.1(II)-(III))。最後に、コンタクトホールを形成後、真空蒸着法により Al を蒸着しソース、ドレインおよびゲート電極を形成した(Fig.1(IV))。SOI 層転写後の(PET 基板上での)プロセス最高温度は 130°C である。

結果>作製した n-channel 及び p-channel c-Si TFT の I_d - V_g 特性および I_d - V_d 特性をそれぞれ、Figs.2(a),(b)に示す。TFT の寸法は、 $L = 3.7\text{ }\mu\text{m}$ 、 $W = 3.0\text{ }\mu\text{m}$ としている。この時の n-channel TFT のピーク電界効果移動度(μ_{FE})およびスレッシュホルドスイング(S)の平均値はそれぞれ、 $568\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ および 87 mV/dec. を示し、p-channel TFT の μ_{FE} 及び S 値はそれぞれ、 $103\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ および 68 mV/dec. を示した。以上の結果から、本低温転写技術を応用することで、プラスチック基板の耐熱温度以下で必要な位置に局所的に高性能 Si CMOS トランジスタの作製が可能であることを実証した。

謝辞>本研究の一部は広島大学ナノデバイス・バイオ融合科学研究所(RNBS)の施設を用いて行われ、最先端・次世代研究開発支援プログラム(NEXT プログラム)及び、JSPS 科研費 252156 の助成を受けて行われた。

References: [1] K. Sakaike et al., Jpn. J. Appl. Phys. 53, 018004-1 (2014).[2] 酒池 他, 第 36 回春季応用物理学会学術講演会, (19a-D2-11).[3] K. Sakaike et al., Applied Physics Letters, 103, 233510-1 (2013).

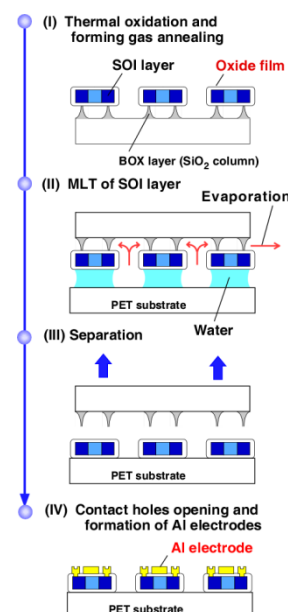


Fig. 1 Schematic diagram of a process flow of c-Si TFT fabrication on PET

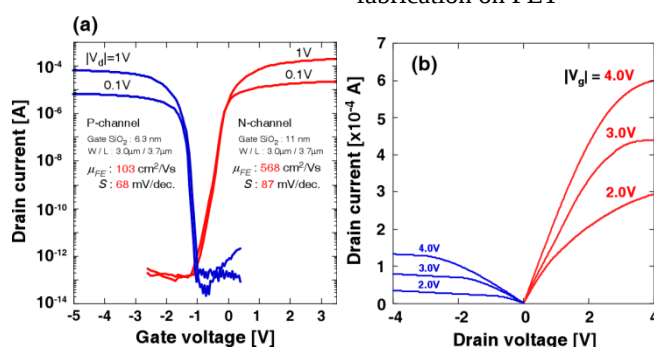


Fig. 2 (a) I_d - V_g and (b) I_d - V_d characteristics of the n-channel and p-channel TFTs on PET.