

ダイヤモンド JFET のノーマリーオフ動作

Normally-off Operation of Diamond JFET

東工大¹, ALCA², CREST³, 産総研⁴ ○諏訪 泰介¹, 岩崎 孝之^{1,2,3}, 佐藤 一樹¹,
加藤 宙光^{3,4}, 牧野 俊晴^{3,4}, 小倉 政彦^{3,4}, 竹内 大輔^{3,4}, 山崎 聡^{3,4}, 波多野 睦子^{1,2,3}
Tokyo Institute of Technology¹, ALCA², CREST³, AIST⁴, ○T. Suwa¹, T. Iwasaki^{1,2,3}, K. Sato¹,
H. Kato^{3,4}, T. Makino^{3,4}, M. Ogura^{3,4}, D. Takeuchi^{3,4}, S. Yamasaki^{3,4} and M. Hatano^{1,2,3}

E-mail: suwa.t.ab@m.titech.ac.jp

[背景・目的] ダイヤモンドはその優れた物性値から、次世代パワーデバイス材料として期待されている。(001)基板上で選択成長法[1]を利用した横型 pn 接合をゲートに用いた JFET を開発し、高温動作・破壊電界などの優位性を示してきた[2]。本研究ではパワーエレクトロニクス応用に重要なノーマリーオフ特性の実現を目的として、チャンネルのサブミクロンの微細加工技術を構築した。

[実験方法] Ib(001)ダイヤモンド基板上に CVD で p 型薄膜($3 \times 10^{16} \text{cm}^{-3}$) を $1.4 \mu\text{m}$ 堆積後、マスクとして Au/Ti/SiO₂ (200/10/200 nm)膜を EB リソグラフィによりパターニングした。このマスクを用いて ICP エッチングでチャンネル構造を形成した。その後、選択成長法を用いて n 型ダイヤモンド($8 \times 10^{19} \text{cm}^{-3}$)をチャンネルの両脇に成長させることでゲート領域を形成し、JFET 構造を実現した。JFET のチャンネル幅はノーマリーオフ動作を目指し作製した。

[実験結果] Fig.1 に作製した JFET の SEM 像を示す。チャンネル幅は $0.26 \mu\text{m}$ で、チャンネルの微細加工かつ両サイドにゲートが自己整合的に形成されていることを確認した。Fig.2 に作製した JFET の室温での Id-Vg 特性(ドレイン電圧-10V)を示す。ゲート電圧 0V においてドレイン電流が検出限界以下($<10\text{fA}$)となっており、ノーマリーオフ特性を確認した。閾値電圧 V_T は-3V で、チャンネル幅とチャンネル濃度から計算した値と近い値となっている。本研究で構築した技術は、閾値電圧の制御が可能であることを示しており、今後のパワーエレクトロニクスの応用に寄与する。

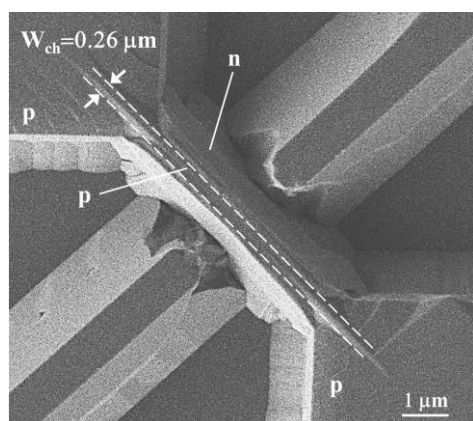


Figure 1 SEM image of Normally-off JFET

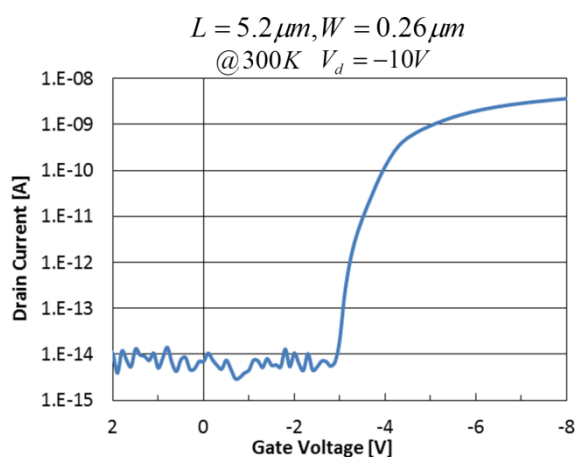


Figure 2 Id-Vg characteristics of Normally-off JFET

[1]. H. Kato, et al. Appl. Phys. Express 2, 055502, 2009

[2]. T. Iwasaki, M. Hatano, et al., IEEE EDL 35, 241, 2014.