

自己加熱効果の抑制による FinFET 低消費電力化の検討

Thermal-Aware Device Design of FinFETs for Low Power Operations

慶應大理工 電子工¹, JST CREST²

○高橋 綱己^{1,2}, 内田 建^{1,2}

Dept. Electronics and Electrical Eng., Keio Univ.¹, CREST, JST²

○Tsunaki Takahashi^{1,2} and Ken Uchida^{1,2}

E-mail: takahashi@ssn.elec.keio.ac.jp, uchidak@elec.keio.ac.jp

【背景および目的】 2011 年 (22 nm 世代) 以降, 先端 LSI には立体構造トランジスタの一種である FinFET が採用されている. FinFET は従来の平面構造に比べ優れた電気特性を示し, 次世代となる 14 nm 世代にも採用される見込みである. しかし一方で, FinFET は動作時の温度が上昇してしまう自己加熱効果の問題が指摘されており, その影響は素子の微細化とともに深刻になると考えられている. 動作時温度の上昇は信頼性の低下や消費電力の増大を招くため, 将来の微細 FinFET において自己加熱効果の抑制は不可欠である. これまで, 薄膜 BOX 構造や高熱伝導率 BOX 材料の適用によって FinFET 動作時温度が低減できることが報告されている[1,2]. しかし, 自己加熱効果の抑制が消費電力に与える影響は詳細には調べられていない. 本研究では, 3 次元電気・熱同時解析を用いて, FinFET の自己加熱効果抑制が低消費電力化にどの程度有効であるかを検討したので報告する.

【計算手法】 キャリア輸送特性・発熱特性の計算には Synopsys 社のデバイスシミュレータを用いた. ゲート長 14 nm, 電源電圧 0.65 V の世代を想定し, 熱解析時はシリコン熱伝導率への不純物添加および薄膜化の影響を考慮している[1]. 現在量産されているバルク FinFET 構造に加え, 自己加熱効果が抑制できる薄膜 BOX SOI FinFET 構造 (SiO₂: 室温熱伝導率 1.4 Wm⁻¹K⁻¹) および高熱伝導率 BOX 材料 SOI FinFET 構造 (Al₂O₃: 同 30 Wm⁻¹K⁻¹) (図 1) について解析を行った. これら 3 つの素子構造について, 自己加熱効果の影響が顕著であるアナログ動作に特に注目し, 動作性能 (遮断周波数 f_t) および消費電力を評価した.

【結果および考察】 はじめに, 各素子の熱特性を熱抵抗 (単位投入電力あたりの温度上昇量) によって評価した. 高熱伝導率 BOX (Al₂O₃) SOI FinFET の温度上昇はバルク FinFET の 20~30%程度に低減できること, SiO₂ BOX 構造の場合も BOX 膜厚 t_{BOX} を 50 nm 以下にすることで素子温度をバルク FinFET 以下にできることを確認した. 図 2 に, f_t と t_{BOX} の関係を示す. 厚膜 BOX 領域における自己加熱効果 (温度上昇) と, 薄膜 BOX 領域における寄生容量の競合の結果として, SOI FinFET の f_t はある t_{BOX} で最大値をとる[1]. f_t が最大となる t_{BOX} の値は BOX 材料の熱伝導率および誘電率によって異なり, 本研究の素子では SiO₂/Al₂O₃ BOX 構造でそれぞれ 20/100 nm となった. 図 3 に f_t と消費電力 P の関係を示す. SOI FinFET については, BOX 膜厚を図 2 で決定した f_t を最大化する値としている. バルク FinFET で実現できる最も高い f_t (約 3 THz) と同等の値を, 薄膜 SiO₂ BOX および高熱伝導率 BOX SOI FinFET では半分以下の消費電力で実現できることが明らかになった.

【結論】 SiO₂ および Al₂O₃ を BOX 層とした SOI FinFET の電気・熱解析を行い, バルク FinFET 構造と比較した. BOX 層の薄膜化, 高熱伝導率 BOX 材料の採用によって動作時の温度上昇を低減し, アナログ動作における消費電力を大きく削減できることが明らかになった.

謝辞: 本研究は東京大学大規模集積システム設計教育研究センターを通し, シノプシス株式会社の協力で行われた. 本研究は JSPS 科研費 26870574 の助成を受けている.

[1] T. Takahashi *et al.*, *Jpn. J. Appl. Phys.*, **52**, 04CC03 (2013).

[2] 高橋綱己他, 「高熱伝導率 BOX SOI FinFET のアナログおよび I/O 動作特性評価」, 第 75 回応用物理学会秋季学術講演会, 19p-A15-11 (2014).

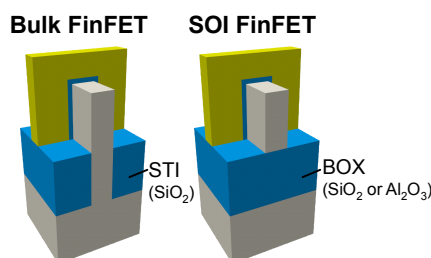


図 1: バルクおよび SOI FinFET の概略図. バルク FinFET はチャネルと基板が一体化しているのに対し, SOI FinFET は BOX 層によって両者が電氣的に分離されている.

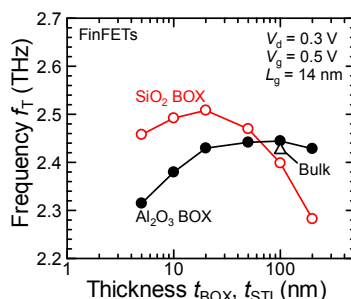


図 2: 各 FinFET における遮断周波数 f_t と STI/BOX 膜厚の関係.

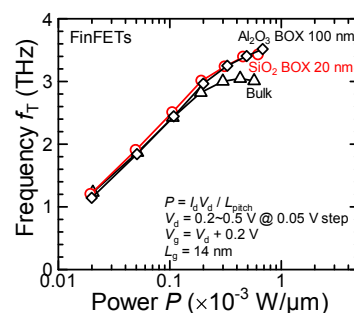


図 3: 各 FinFET における f_t と消費電力 P の関係.