

Au/Cr/MoS₂系における Cr 薄膜化によるコンタクト抵抗特性の改善

Large Variability of Contact Resistance in Au/Cr/MoS₂ System and Its Suppression by Cr Thinning

慶應大理工 電子工¹, JST CREST²

○佐野 宏亮¹, 高橋 綱己^{1,2}, 内田 建^{1,2}

Dept. Electronics and Electrical Eng., Keio Univ.¹, CREST, Japan Science and Technology Agency²

°Kosuke Sano¹, Tsunaki Takahashi^{1,2}, and Ken Uchida^{1,2}

E-mail: sano@ssn.elec.keio.ac.jp, uchidak@elec.keio.ac.jp

【目的】 近年、原子層材料の二硫化モリブデン(MoS₂)が注目を集めている。MoS₂は原子層材料でありながらバンドギャップを持つという特徴から、リークを抑制した低消費電力デバイスとしての応用が期待されている[1]。しかし、ソース・ドレイン電極と MoS₂ チャンネル間のコンタクト抵抗が高いという欠点があり、コンタクト抵抗を低減するための研究が多く行われている[2][3]。その一方で、コンタクト抵抗のばらつきに関する研究はあまり行われていない。本研究では、MoS₂ トランジスタを作製・評価し、コンタクト抵抗のばらつきが生じた原因について調査を行った。

【実験方法】 Si 基板を酸化し 90 nm の酸化膜を形成した基板上に MoS₂ を剥離・転写した。ソース・ドレイン電極として Cr/Au をそれぞれ 50/100 nm 蒸着した。その後、裏面に Cr/Au をそれぞれ 5/100 nm 蒸着し、図 1 に示すバックゲート型トランジスタを作製した。また、トランジスタ特性を真空中で温度が 100 K から 300 K の範囲で測定した。

【結果】 作製した複数のデバイスの輸送特性を取得したところ、再現性やチャンネル長・幅の依存性を得ることが出来なかった。これは、デバイスの特性がコンタクト抵抗に支配されていることと、コンタクト抵抗の大きさにばらつきがあることを示唆している。コンタクト抵抗の異なるデバイスの温度特性を取得したところ、コンタクト抵抗の小さいデバイスはオーミック接触、大きいデバイスはショットキー接触をそれぞれ形成していることが分かった。これらの電極の断面を観察すると、図 2 のように電極の両端が反りあがっており、オーミック接触では Cr と MoS₂ の接触面積が大きく、ショットキー接触では接触面積が小さいことが明らかになった。図 2 の Cr/Au 電極端を詳細に観察すると、Cr の蒸着後かつ Au の蒸着前に電極は既に反っていたと推測される。このことから Cr の蒸着後、Cr が冷却される過程において生じる熱収縮によって Cr が反ったのだと考えられる。有限要素法により熱収縮のシミュレーションを行ったところ、Cr が薄くなるほど変形が小さくなることが分かったので、Cr の膜厚を 10 nm まで薄くしたデバイスを新たに作製した。その結果、図 3(a)のように Cr が反っていないことが確認でき、コンタクト抵抗の大きさを揃えることにも成功した。図 3(b)は Ti/Au 電極の断面である。50 nm の膜厚にも関わらず Ti は反っていないことが分かる。これは、Ti が MoS₂ 中の S 原子と結合するため[3]、MoS₂ に対して強く結合するからだと考えられる。以上より、コンタクト抵抗特性を良くするためには金属と MoS₂ の吸着の強さが重要であることが示唆された。

【結論】 MoS₂ トランジスタのコンタクト抵抗のばらつきの原因が Cr の熱収縮であることを明らかにし、Cr の薄膜化によりこれを改善した。また、金属と MoS₂ との結合の強さがコンタクト抵抗特性にとって重要であることが示唆された。

[1] B. Radisavljevic *et al.*, Nat. Nanotechnol., **6**, (2011), 147.

[2] Y. Du *et al.*, IEEE Electron Device Lett., **35**, (2014), 599. [3] W. Liu *et al.*, IEDM Tec. Dig., (2013), 499.

謝辞: 本研究の一部は、内閣府の最先端・次世代研究開発支援プログラムにより助成を受けて行われた。また素子作製、および分析の一部は文部科学省委託事業ナノテクノロジープラットフォーム(東京工業大学、物質・材料研究機構微細構造解析プラットフォーム)の支援を受けた。

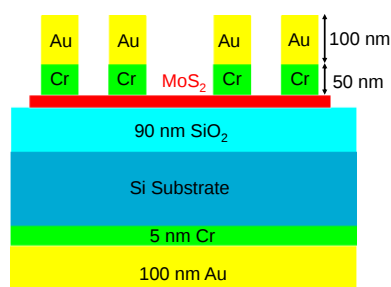


図 1 デバイス構造

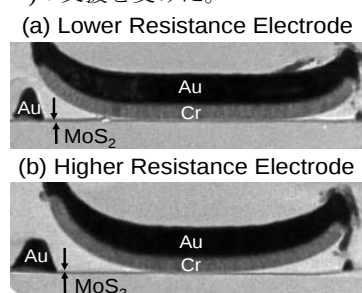


図 2 Cr50 nm の電極の断面

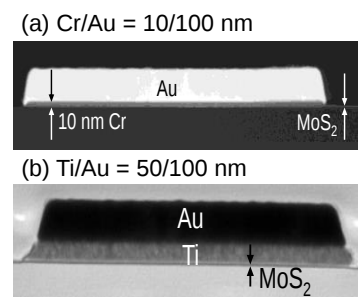


図 3 Cr/Au, Ti/Au 電極の断面