

薄膜 HfS₂ FET

Thin Layered HfS₂ FET

○金澤 徹¹、雨宮 智宏^{1,3}、石川 篤^{2,3}、鶴田 健二²、田中 拓男^{3,4}、宮本 恭幸¹

(1. 東工大院理工、2. 岡山大院自然、3. 理研、4. 北大電子研)

○Toru Kanazawa¹, Tomohiro Amemiya^{1,3}, Atsushi Ishikawa^{2,3}, Kenji Tsuruta², Takuo Tanaka³,

Yasuyuki Miyamoto¹ (1. Tokyo Tech., 2. Okayama Univ., 3. RIKEN, 4. Hokkaido Univ.)

E-mail: kanazawa.t.aa@m.titech.ac.jp

1. 研究背景・目的

極微細電界効果トランジスタ(FET)において短チャネル効果を抑制するためにはチャネルを薄層化し、ゲート電圧によるキャリア制御性を向上させることが重要であり、一周分(-1 nm)の構造で揺らぎの無い分子層膜を形成しやすく、極薄膜においても良好な移動度を有する積層構造型半導体材料の導入が考えられている。代表的な層状物質であるグラフェンは単純な周期構造ではバンドギャップを持たないため、近年ではバンドギャップを有する層状半導体として MoS₂^[1]や Phosphorene^[2]といった新材料についても研究がなされており、それぞれ FET 動作の報告がなされている。

本研究では新たな遷移金属カルコゲナイドとして HfS₂ に着目した。本材料は Fig. 1 に示すように単分子層で高い電子移動度(~1,800 cm²/Vs)^[3]と Si と同等の禁制帯幅(1.2 eV~)^[4]が予測されている。その基本特性とデバイス応用の可能性を探るため、世界で初めて FET の作製を行い、トランジスタ動作を達成したので報告する。

2. デバイス構造・プロセス

作製したデバイス構造の模式図および光学顕微鏡観察像と剥離した HfS₂ 領域のラマン分光スペクトルを Fig. 2 に示す。裏面ゲートスタック構造としては p⁺-Si 基板上に ALD 法により Al₂O₃ 絶縁膜 75 nm を堆積し、ここにスコッチテープ法による機械的剥離で数分子層の HfS₂ 領域を形成する。S/D コンタクトを Ti/Au 電極により、裏面 Si 基板へのゲートコンタクトを Cr/Au により形成してデバイスを作製した。

3. 電流特性

作製した FET の電流特性を Fig. 3 に示す。裏面電極へのバイアス印加によるドレイン電流の変調が確認され、ドレイン電流はゲート電圧 40V、ドレイン電圧 5V を印加した状態で最

大 0.1 μA/μm が得られた。以上より HfS₂ を極薄膜チャネルとする MOSFET の実現可能性が示された。今後、より詳細な物性評価とデバイス構造の変更による特性改善を行っていく。

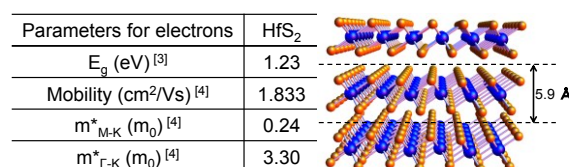


Fig. 1 Parameters and crystal structure of HfS₂

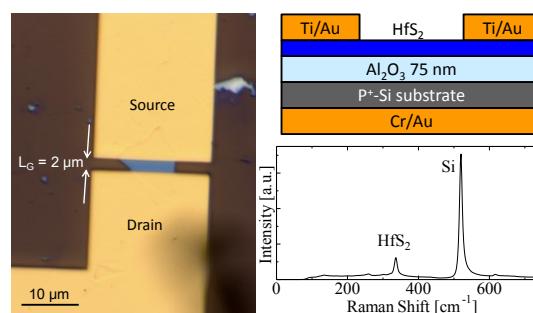


Fig. 2 Optical image and schematic of the HfS₂ FET with Raman Spectrum of exfoliated HfS₂

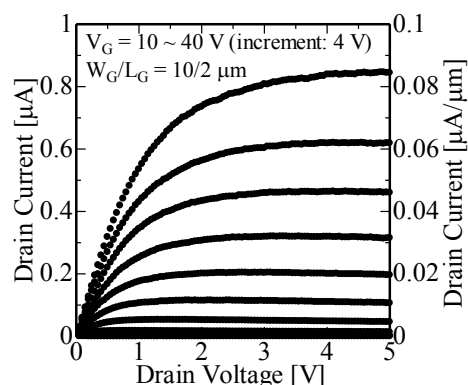


Fig. 3 I_D-V_D characteristics of HfS₂ FET

参考文献

- [1] B. Radisavljevic et al., Nature Nanotech, vol. 6, p. 147 (2011)
- [2] L. Li et al., Nature Nanotech., vol.9, p. 372 (2014)
- [3] C. Gong et al., A. P. L., vol. 103, 053513 (2013)
- [4] W. Zhang et al., Nano Research, vol. 7, p. 1731 (2014)