

# 金属/GaN 界面におけるフェルミレベルピンニング

## Fermi level pinning at Metal/GaN interface

東北大<sup>1</sup>, JX 金属<sup>2</sup> (D1)古場 治朗<sup>1,2</sup>, 矢作 正隆<sup>1,2</sup>, 小池 淳一<sup>1</sup>

Tohoku Univ.<sup>1</sup>, JX Nippon Mining & Metals Corporation.<sup>2</sup>, Jiro Koba<sup>1,2</sup>, Masataka Yahagi<sup>1,2</sup>,

Junichi Koike<sup>1</sup>

E-mail: koba.jiro.r2@dc.tohoku.ac.jp

**背景** 金属/半導体界面に形成されるショットキー障壁高さ  $\Phi_B$  は、理想的には  $\Phi_B = \Phi_M - \chi$  ( $\Phi_M$ : 金属の仕事関数,  $\chi$ : 半導体の電子親和力) で表されるが、実際にはフェルミレベルピンニング (FLP) が生じ金属の仕事関数依存性が消失することがよく知られている。FLP は Si や Ge[1] に関しては数多くの研究結果が報告されているが、次世代半導体材料として有望な GaN においては系統的に調べられてはいない。本発表では、さまざまな金属と GaN の間に生じるショットキー障壁高さを測定し、FLP について調べたので報告する。

**実験** サファイア上に 3 $\mu\text{m}$  エピ成長させた n-GaN 基板 (Doped Si:  $2 \times 10^{18} \text{cm}^{-3}$ ) を用い、Fig.1 に示す素子を作製した。1:1 HCl に 1 分間浸漬することで自然酸化膜を除去し、フォトリソグラフィによりパターンを形成後 DC スパッタリング法にて金属 M (M=Pt, Au, Ni, Co, W, Sb, Cu, Nb, Ag, Ti) を 150nm 堆積させ、アセトンにてレジストを除去することで直径 500 $\mu\text{m}$  の電極を作製した。また基板の一端に Al を 150nm 堆積しオーミック電極を形成し、電流 - 電圧 (I-V) 測定によりショットキー障壁高さを求めた。

**結果** Fig.2 に各金属のショットキー障壁高さと仕事関数をプロットした図を示す。仕事関数は、GaN 基板上に金属 M を 100nm 成膜し、UPS 測定から求めた。また、図中の緑線は GaN の伝導体下端を 4.1eV とし  $\Phi_B = \Phi_M - \chi$  なる直線を表している (ショットキーリミット)。図からわかるように金属/GaN 界面にて FLP が起きているのが見て取れる。近似直線から S 値は約 0.25、電荷中性準位は約 4.76eV と計算された。

Reference: [1] T. Nishimura, *et al.*, Appl. Phys. Lett. 91, 123123 (2007).

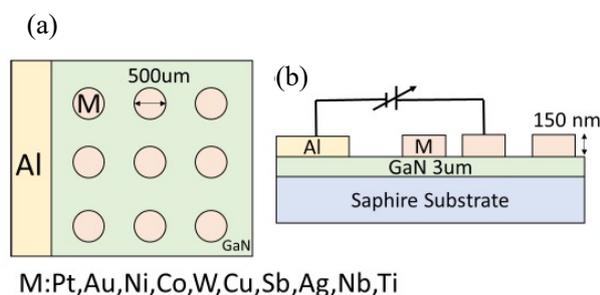


Fig. 1. Schematic of sample structure

(a) Top view (b) Side view

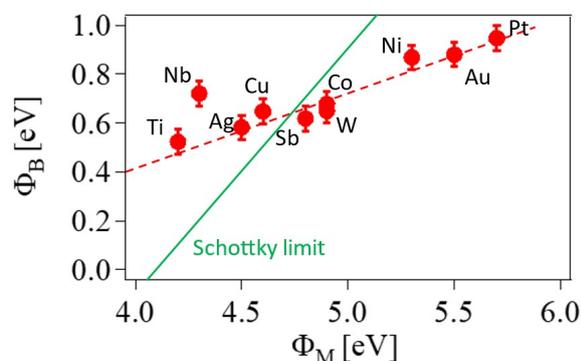


Fig. 2. The plot of  $\Phi_B$  vs  $\Phi_M$