

SiO<sub>2</sub>/GaN MOS デバイスの性能向上に向けた堆積後熱処理条件の検討Investigation of Post-Deposition Annealing Conditions  
for Improving Interface Property of SiO<sub>2</sub>/GaN MOS Devices阪大院工<sup>1</sup> ○溝端 秀聡<sup>1</sup>, 和田 悠平<sup>1</sup>, 野崎 幹人<sup>1</sup>, 細井 卓治<sup>1</sup>, 志村 考功<sup>1</sup>, 渡部 平司<sup>1</sup>Osaka Univ.<sup>1</sup>, °Hidetoshi Mizobata<sup>1</sup>, Yuhei Wada<sup>1</sup>, Mikito Nozaki<sup>1</sup>,  
Takuji Hosoi<sup>1</sup>, Takayoshi Shimura<sup>1</sup>, and Heiji Watanabe<sup>1</sup>

E-mail: mizobata@prec.eng.osaka-u.ac.jp

【はじめに】 GaN MOSFET は高出力かつ低損失な次世代スイッチング素子として期待されているが、その実現には高品質な MOS 構造の形成が不可欠である。我々はこれまで、極薄の GaO<sub>x</sub> 界面層を有する SiO<sub>2</sub>/GaO<sub>x</sub>/GaN スタック構造を 800°C で後酸化することで良好な界面電気特性が得られることを報告してきた[1]。一方、後熱処理としてよく用いられる水素ガスアニール (FGA) を作製した SiO<sub>2</sub>/GaO<sub>x</sub>/GaN 構造に施すと、GaO<sub>x</sub> 界面層での異常な固定電荷生成と、それによるフラットバンド電圧 ( $V_{FB}$ ) の負方向シフトが生じることも以前に報告した[2]。そこで本研究では、SiO<sub>2</sub>/GaN MOS デバイスの性能向上に向けた堆積後熱処理条件について検討したので報告する。

【実験方法と結果】 自立 GaN 基板上的 n-GaN エピ層 (Si 濃度:  $2 \times 10^{16} \text{ cm}^{-3}$ ) を 50% HF で洗浄後、プラズマ CVD により SiO<sub>2</sub> 層を約 100 nm 成膜した。このとき、酸素プラズマによる GaN 基板の過度な酸化を抑制するため、最初に窒素希釈した低酸素分圧の条件下で窒素添加 SiO<sub>2</sub> 層を約 5 nm 成膜した[3]。次に、酸素雰囲気下 600°C から 800°C で 30 min の熱酸化処理後、さらに 400°C で 30 min の FGA 処理 (3% H<sub>2</sub>/N<sub>2</sub>) を行った。最後に、Ni ゲート電極および Al 裏面電極を真空蒸着し、SiO<sub>2</sub>/GaN MOS キャパシタを作製した。作製したデバイスは、容量-電圧 (CV) 測定により評価した。各温度で熱酸化した FGA 処理前後の CV カーブを図 1(a) に示す。過去の報告と同様に、800°C で熱酸化した試料では FGA による CV カーブの大きな負方向シフトが見られた。一方、より低温で後酸化した試料では FGA による負方向シフトの減少が見られた。これは後熱酸化を抑えることで固定電荷生成を抑制できることを示唆している。図 1(b) は熱酸化処理後の SiO<sub>2</sub> 膜を約 2 nm まで薄層化した試料から取得した Ga 2p<sub>3/2</sub> 内殻準位スペクトルである。基板由来の Ga-N (青破線) と界面酸化層由来の Ga-O (赤実線) 結合成分によりピーク分離した結果、熱酸化温度の低下とともに Ga-O 成分の減少が見られた。そこで、FGA による固定電荷生成と後熱酸化による GaO<sub>x</sub> 界面層成長の関係性を評価した。図 1(c) に FGA 前後の  $V_{FB}$  シフト量 ( $|\Delta V_{FB}|$ ) と Ga-N と Ga-O 成分の面積強度比 ( $I_{Ga-O}/I_{Ga-N}$ ) の熱酸化温度依存性を示す。 $|\Delta V_{FB}|$ ,  $I_{Ga-O}/I_{Ga-N}$  ともに熱酸化温度が上昇するにつれて単調に増大しており、両者に相関のあることがわかる。これは GaO<sub>x</sub> 界面層の成長が FGA による固定電荷生成の要因となることを示している。したがって、GaO<sub>x</sub> 界面層の成長を制御することで、固定電荷生成を抑制しつつ FGA による界面欠陥の低減が可能であると考えられる。当日の発表では、本提案に基づいて作製した SiO<sub>2</sub>/GaN MOS デバイスの電気特性の詳細について報告する。

【謝辞】 本研究は、科研費 (19H00767) および文部科学省「省エネルギー社会の実現に資する次世代半導体研究開発」事業 (JPJ005357) の助成を受けたものである。

【参考文献】 [1] T. Yamada *et al.*, Appl. Phys. Lett. **110**, 261603 (2017). [2] H. Mizobata *et al.*, Appl. Phys. Express **13**, 081001 (2020). [3] T. Yamada *et al.*, Jpn. J. Appl. Phys. **58**, SCCD06 (2019).

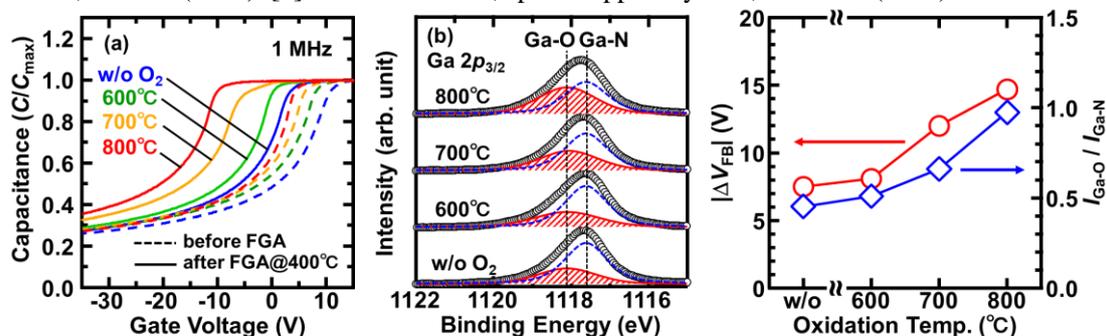


Fig. 1. (a) CV curves of SiO<sub>2</sub>/GaN MOS capacitors subjected to thermal oxidation. The dotted and solid lines indicate the samples without and with FGA after thermal oxidation, respectively. (b) Ga 2p<sub>3/2</sub> core-level spectra taken from SiO<sub>2</sub>/GaN structures. (c) Oxidation temperature dependence of the  $V_{FB}$  shift ( $|\Delta V_{FB}|$ ) between the samples with and without FGA and the area-intensity ratio ( $I_{Ga-O}/I_{Ga-N}$ ) in Ga 2p<sub>3/2</sub> core-level spectra.