AlSiO/p 型 GaN MOSFET における移動度制限因子の解析

Analysis of mobility limitation factors in AlSiO/p-type GaN-based MOSFETs

豊田中研[1]，名古屋大学[2] ○成田 哲生[1]，伊藤 健治[1]，冨田 一義[2]，堀田 昌宏[2]，菊田 大悟[1]

Toyota Central R&D Labs., Inc.[1], Nagoya Univ.,

○Tetsuo Narita[1], Kenji Ito[1], Kazuyoshi Tomita[2], Masahiro Horita[2], Daigo Kikuta[1],

○E-mail: tetsuo-narita@mosk.tytlabs.co.jp

【はじめに】数百～1.2 kV 級の GaN 系 MOSFET では、MOS チャネル抵抗がオン抵抗の支配要因であり、移動度向上が課題である。本報告では、酸化膜寿命が長く（>20 年@150℃, 5 MV/cm）信頼性の高い AlSiO ゲート酸化膜[1)]を用いて、チャネル移動度の制限因子を解析した。

【実験方法】Mg 濃度(2.3-2.5)×10^{17} cm^{-3} の p 型 GaN 層上に、厚さ 40 nm の ALD 法 AlSiO ゲート酸化膜を有する MOSFET を作製した（**図 1**）。MOS 界面構造の影響を調べるため、p 型 GaN と AlSiO の界面に 3 nm 厚の SiO_2、AlN、Al_2O_3 を設けた試料（#6, #7, #8）を準備し、界面層のない試料(#1-#5)と比較した。AlSiO 堆積後、950℃、10 分間、窒素雰囲気での PDA(Post-Deposition-Anneal)を行った。伝達特性評価において、ゲート掃引範囲は-5～+10V、ドレイン電圧は 0.1V とした。

【結果・考察】ゲート長 4 μm の素子における g_m から見積もられる最大移動度 μ_{max} は界面層のない試料#1~#5 で 28～36 cm^2/Vs に対して、界面層ありの素子で 59~61 (#6:SiO_2)、43~47 (#7:AlN)、39-41 cm^2/Vs(#8:Al_2O_3)と向上した。μ_{max} の向上はしきい電圧 V_t の低下、および伝達特性のヒステリシス ΔV_t と減少と強い相関を示した（**図 2**）。この相関は界面トラップの減少によって説明できる。界面トラップ密度が高いとき、GaN の V_t 以下で界面トラップへの充電が生じることで V_t が上昇し、V_t 以上の電圧掃引でヒステリシスを生じる。また、μ_{max} は界面トラップに捕獲された動けない電子とチャネル自由電子の平均であるから、界面トラップ密度の増加は μ_{max} の低下を招く。ゲートバイアス印可ホール効果測定からチャネル自由電子密度と比較した結果、界面層のない試料#1 で約 50%の電子が界面トラップに捕獲されたのに対し、SiO_2 界面層を用いた試料#6 では捕獲割合が約 18%にまで低減した。以上の結果から、界面トラップは AlSiO/p 型 GaN-MOSFET のチャネル移動度制限因子であることが明らかとなった。 1) D. Kikuta *et al.*, APEX **13**, 026504 (2020).

【謝辞】本研究は文部科学省「省エネルギー社会の実現に資する次世代半導体研究開発」事業 JPJ005357 の助成を受けました。

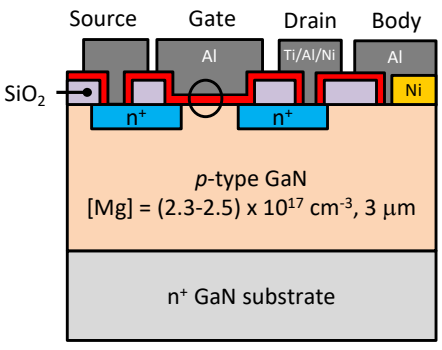

図 1. AlSiO/p-GaN 横型 MOSFET

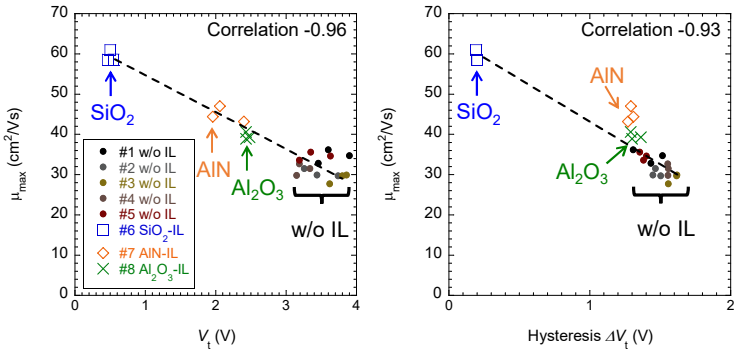

図 2. 移動度の(a)しきい値電圧、(b)ヒステリシス依存性

© 2021年 応用物理学会