

MOVPE 法による n^+ -(211)Si 上の CdTe 成長層の成長室内アニール処理検討In-situ annealing of MOVPE grown CdTe layers on n^+ -(211)Si substrate

名工大院工：°松原敏樹, 小林竜大, 後藤颯汰, 藤井成弥, 中島幸寛, 平野颯涼

ニラウラ・マダン, 安田和人

Nagoya Inst. of Tech., °T.Matsubara, T.Kobayashi, H.Goto, S.Fujii, Y.Nakashima, S.Hirano

M.Niraula, K.Yasuda,

E-mail:32413150@ict.nitech.ac.jp

【はじめに】

MOVPE 法による Si 基板上的 CdTe 成長層を用いた p-CdTe/n-CdTe/ n^+ -Si ヘテロ接合ダイオード型放射線画像検出器の高性能化に関する研究を行っている。しかし、Si 基板上的 CdTe 成長層には両者の格子定数差および熱膨張係数差により発生する高密度の転位が結晶性を劣化させるとともに、検出器の暗電流増加の要因となる。そこで、本研究では p-like CdTe 成長層および n-CdTe 成長層の低転位化のため室内アニール処理の検討を行った。さらに、アニール処理による p-like CdTe 成長層および n-CdTe 成長層の電気特性の影響も調べた。

【実験条件】

試料として n^+ -(211)Si 基板上的アンドープ p-like CdTe 成長層およびヨウ素ドープした n-CdTe 成長層を用いた。p-like CdTe 層のアニール処理は温度を 500~650 °C、時間を 1~10 min、回数 1~4 回、Te 雰囲気下として途中で成長を複数回中断して行った。一方 n-CdTe 層のアニール処理では温度 550°C、時間 5min、回数を 1~4 回、Te および Cd 雰囲気下で行った。それぞれの成長層の評価は X 線回折測定、4.2K Photo luminescence(PL)測定およびホール測定により行った。

【実験結果】

アニール処理温度を変化させた際の p-like CdTe 層 (422)面の DCRC 半値幅の値を Fig.1 に示す。アニール処理時間、アニール処理回数は 5 min, 2 回とした。この結果より、アニール処理を施していない試料に対しアニール処理温度はいずれの場合も半値幅が減少していることがわかる。また、アニール処理温度 500 °C, 550 °C では半値幅の値の減少が大きく、アニール処理温度を上げるにつれてその効果が小さくなることを確認できる。

Fig.2 に n-CdTe 層のアニール結果を示す。アニール処理温度、アニール処理時間は 550°C, 5min で一定とし、アニール処理回数を 1~4 回と変化させ Te 雰囲気で行った。この結果より、回数 1 回, 2 回では DCRC 半値幅の値に大きな違いは見られず、また回数が多くなると半値幅が大きくなる傾向が見られた。ホール測定の結果からアニール処理を行うことで n-CdTe 層の電子密度が向上することが確認できた。以上の結果からアニール処理条件の最適化により成長層の転位密度減少と電気特性の向上が可能であることがわかった。

謝辞：本研究は JSPS 科研費 JP20K04619 の助成を受けたものです。

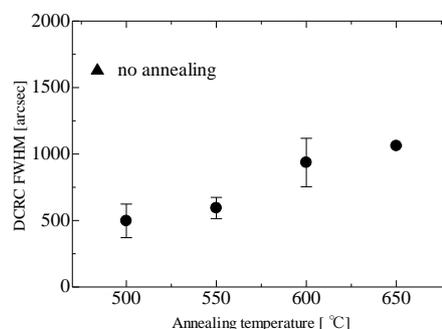


Fig. 1 Dependence of DCRC FWHM values of p-CdTe layers on anneal temperature

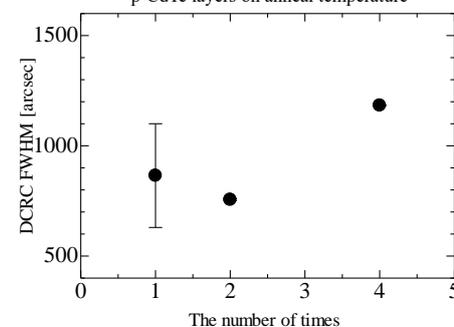


Fig. 2 Dependence of DCRC FWHM values of n-CdTe layers on anneal times