

トンネル FET の出力特性改善に関する検討

A Study on improvement of output characteristics of tunnel FET

°藤井陸功, 遠藤孔輝, 三田梓郎, 山口 直弥, 呉 研, 高橋 芳浩(日大理工)

°Riku Fujii, Koki Endo, Shiro Mita, Naoya Yamaguchi, Yan Wu, Yoshihiro Takahashi (Nihon Univ.)

E-mail: csri17074@g.nihon-u.ac.jp

序論

近年普及が進んでいる IoT デバイスでは, 設置性を高める等の理由等から, 環境発電による微弱電力での動作が求められている. 低消費電力化のために, 急峻なサブスレッショルド特性を有する Steep-slope transistor が求められている. 中でも我々は, 作製工程が MOSFET と類似したトンネル FET (TFET) について注目し, 駆動電流向上について研究を行ってきた[1]. しかし, TFET における I_D - V_D 特性の立ち上がりは, 従来の MOSFET に比べ緩やかであり, CMOS 回路に適用した際のスイッチング時間が長くなる[2]. そこで今回, I_D - V_D 特性の立ち上がり特性改善を目的に, TFET への Double gate 構造の適用に関してデバイスシミュレーションを用いて検討を行った.

シミュレーションモデル

Fig. 1 に Double gate 構造を有する TFET (DG-TFET) の計算モデルを示す. $L_g=250$ nm, $W=1$ μ m, ゲート酸化膜厚 0.3 nm, Body 厚さ 30 nm とし, $V_G=1.5$ V (ON 状態) における V_D に対する特性変化について評価した. 不純物濃度は Source 領域: $N_s=1 \times 10^{20}$ cm $^{-3}$, Body 領域: $N_B=1 \times 10^{17}$ cm $^{-3}$, Drain 領域: $N_D=1 \times 10^{20}$ cm $^{-3}$ と設定し, Source 部を n 型とした DG-MOSFET と比較した. なお, 本研究では Synopsys 社 Sentaurus TCAD シミュレーターを用いた.

結果及び考察

TFET の I_D - V_D 特性を評価した結果, DG 構造にしても立ち上がり特性に変化は確認できなかった. そこで構造内のポテンシャル分布について評価した. Fig. 2 に, $V_G=1.5$ V において V_D を変化した時の DG-MOSFET および DG-TFET の Source-Channel 接合面近傍 ($x=5$ nm) を縦方向に見た伝導体下端のエネルギー (E_c) を示す. MOSFET におけるチャネル部のエネルギーは V_D によりほぼ変化しないものの, TFET では $V_D < V_G$ において (Body 中心領域も含めて) V_D と共に大きく変化することがわかった. なお, DG 構造にしても V_D によるチャネル部のエネルギー変動は変わらないことも確認した. これは, V_D の低下に伴いチャネル部の E_c とソース部の E_v との差が小さくなり, Source から Channel への電子のトンネル注入が抑制されることを示す. この現象により TFET の I_D - V_D 特性が緩やかになってしまうことを確認した. 今後は, 他の構造パラメータ依存性についても検討し, 本現象の更なる解明及び特性向上を目指す.

謝辞

本研究は, 東京大学大規模集積システム設計教育研究センター(VDEC)を通し, シノプシス株式会社の協力で行われたものである.

参考文献

- [1] Y.Wu, 他: International Workshop on Junction Technology (IWJT) P. 83-84, 2017
- [2] 呉, 他 2017 年第 64 回応用物理学会春季学術講演会 16p-E206-16

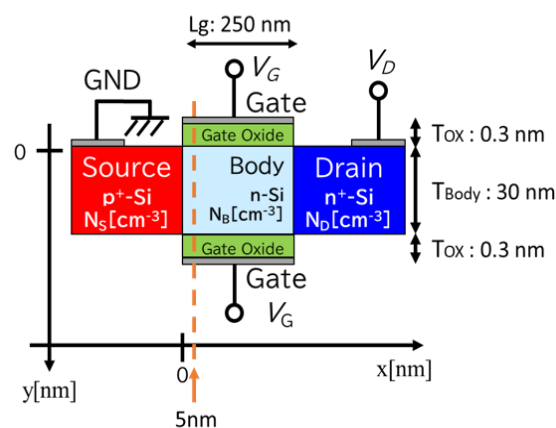


Figure 1 Simulated model (Double-Gate TFET structure)

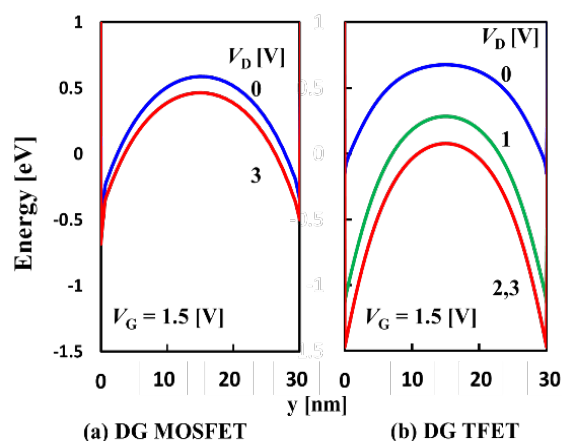


Figure 2 Bottom energy of Conduction-band (E_c) in the vicinity of the Source-Body junction ($x=5$ nm)