

# 静電的なクロストークを低減できる物理形成シリコン量子ドットのゲート構造提案

## Proposal of gate structure of physically defined Si quantum dots for reducing electrostatic crosstalk

東工大<sup>1</sup>, ニコン<sup>2</sup>, 〇泊 開人<sup>1,2</sup>, 西山 伸平<sup>1</sup>, 田所 雅大<sup>1</sup>, 小寺 哲夫<sup>1</sup>

Tokyo Tech.<sup>1</sup>, Nikon Corp.<sup>2</sup>, 〇Kaito Tomari<sup>1,2</sup>, Shimpei Nishiyama<sup>1</sup>, Masahiro Tadokoro<sup>1</sup>,  
and Tetsuo Kodera<sup>1</sup>

E-mail: tomari.k.aa@m.titech.ac.jp

量子コンピュータは、量子ビット ( $|0\rangle, |1\rangle$ ) の重ね合わせを用いることで並列計算を実行できる。量子ドットを用いたスピン量子ビットは、量子ドット中に閉じ込めたキャリアのスピン ( $|\downarrow\rangle, |\uparrow\rangle$ ) を量子ビットとして利用する。スピン量子ビットの中でもシリコン量子ビットは、量子ドットのサイズが数十 nm 程度と小さいことや、従来の CMOS 技術との親和性が高いことなどの利点があり、将来に向けた集積に有利と考えられている。特に物理形成量子ドットは、電子線露光とエッチングにより量子ドット構造を物理的に形成しキャリアを閉じ込めるため、必要なゲート電極の数が少なくより集積に適すると思われる[1]。しかし量子ドットが複数存在すると、意図しないゲート電極-量子ドット間に静電的なクロストークが生じ、ゲート電極からの影響が所望でない量子ドットにまで及び操作上不便である。これを低減するための方法として仮想電極[2]が提案されているが、そもそもデバイス自体がクロストークの小さい構造をしているとより有用である。

本研究では物理形成量子ドットを土台にして、意図しないゲート電極-量子ドット間のクロストークを低減できるシリコン量子ドットの構造の検討を行った。提案する構造の一例を Figure 1 に示す。ゲート電極を量子ドットの存在する Silicon-on-insulator (SOI)層からドット直上へと移動したこと、SOI 層とゲート絶縁膜を薄くしたこと[3]、電極直下のゲート絶縁膜に一部 high-k 材料を用いたこと、の3点が特徴である。シミュレーションソフト COMSOL Multiphysics を用いて評価したところ、従来デバイスでは 45%程度存在したクロストークは 8%程度まで低減される見込みを得た。今後は提案した構造の試作を目指す。本研究は、JST CREST (JPMJCR1675)、MEXT Q-LEAP (JPMXS0118069228)、科研費 (18K18996, 20H00237)、株式会社ニコンの助成を受けて遂行された。  
[1] T. Kambara *et al.*, JJAP **52**, 04CJ01 (2013), [2] A.R. Mills *et al.*, Nat. Commun. **10**, 1 (2019), [3] S. Ihara *et al.*, APL **107**, 013102 (2015).

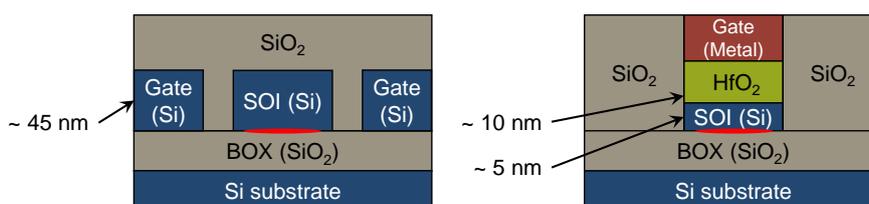


Figure 1: The schematic of the cross section of the current structure (left) and the proposed structure (right). Quantum dot exists in the bottom surface of the SOI layer (red region).