

大容量低消費電力メモリ応用に向けた MoS₂ チャンネルを有するHfO₂系強誘電体トランジスタの実験実証Experimental Demonstration of HfO₂-based Ferroelectric Transistor with MoS₂ Channel

for High-Density and Low-Power Memory Application

東大生研¹, 産総研² (M2) 項 嘉文¹, 張 文馨², 更屋 拓哉¹, 入沢 寿史², 平本 俊郎¹, 小林 正治¹IIS, Univ. of Tokyo¹, AIST² (M2) Jiawen Xiang¹, Wenhsin Chang², Takuya Saraya¹, Toshifumi Irisawa², ToshiroHiramoto¹ and Masaharu Kobayashi¹ E-mail: xjw0329@nano.iis.u-tokyo.ac.jp

1. はじめに: 近年、強誘電体HfO₂を用いたトランジスタ型メモリ (FeFET) は、CMOSプロセスとの互換性と電圧書き込み方式による潜在的な低消費電力性、および高速書き込み動作のために、多くの注目を集めている [1]。さらに3D-NANDフラッシュメモリのような三次元積層構造による高密度化も期待されており、大容量ストレージメモリとしての潜在能力も予見されている。これまでにポリシリコンチャンネルを備えた三次元積層構造型FeFETが実証された [2]。しかし非常に薄いポリシリコンチャンネルの低い移動度、強誘電体ゲート絶縁膜とポリシリコンの間に形成される低誘電率界面層による電荷トラップや電圧降下などが課題となっている。MoS₂をはじめとする遷移金属ダイカルコゲナイドは、強い共有結合により形成した単原子層が弱いファンデルワールス力を介して積層する二次元的結晶構造を持つため [3]、界面形成にはダングリングボンドがなく、良好なMOS界面の形成が期待される。低誘電率界面層の形成と電荷トラップの影響を抑制できれば三次元積層構造メモリ用の有望なチャンネル材料となる。そこで本研究では、二次元層状物質MoS₂をチャンネルとするHfO₂系FeFETを試作、評価し、三次元積層型FeFETへの応用可能性を明らかにすることを目的とする。

2. 実験: Fig. 1は金属/強誘電体/金属 (MFM) 構造キャパシタとボトムゲート型MoS₂-FeFETのプロセスフローを示し、Fig. 2にFeFETの構造を示す。下部TiN電極をn⁺-Si基板上に成膜後、11nmのHf_{0.5}Zr_{0.5}O₂をシード層 [4] となる2nmのZrO₂で挟んだ層状構造で成膜し、RTAで600°C、160秒間結晶化アニールした。チャンネルとなるMoS₂は転写法で形成した。ソースとドレインの電極にはNi/Auを用いた。10nmのZrO₂でパッシベーションを行ってからトップ電極を形成することで、チャンネルの電位をフローティングでなく固定できるようにした。

3. 結果と考察: MFM構造キャパシタの電荷-電圧特性をFig. 3に示す。ZrO₂シード層を導入することで残留分極の値を著しく向上させるとともに、分極反転電圧を大幅に低減することができた。Fig. 4にパルス電圧書き込みを行ったFeFETの読出しI_d-V_g特性を示す。0.22Vのメモリウィンドウ (MW) と約75mV/decのサブスレショルド係数 (SS) を有する良好な特性が得られた。Fig. 5にFeFETの保持特性を示す。約5000秒でMWは半分以下に減衰した。プログラム時よりも消去時によるV_{th}の変動が大きい。これはプログラム時にはMoS₂チャンネルに多数キャリアをソースドレインから供給できるのに対して、消去時には少数キャリアを熱的に誘起する必要があり、十分に少数キャリアを誘起できず分極電荷のスクリーニングが不十分なため、強誘電体薄膜に大きな脱分極電界が発生したことが原因であると考えられる。Fig. 6に書き換え耐性の評価結果を示す。10⁶乗サイクルまでMWはほぼ一定値を保ち、良好な書き換え耐性を示した。

4. まとめ: シード層を有するHfZrO₂強誘電体とMoS₂を用いたボトムゲートのFeFETを試作し、0.22VのMWと75mV/decのSSを得るとともに、5000秒以上の保持特性と10⁶回以上の書き換え耐性を得ることができた。この結果はMoS₂チャンネルの三次元積層型FeFETへの応用可能性を示唆するものといえる。

5. 謝辞: 本研究はJST CRESTの支援を受けて実施された。

参考文献

- [1] J. Muller et al., VLSI symposium 2012.
- [2] K. Florent et al., IDEM, pp.43-46, 2018.
- [3] B. Radisavljevic et al., Nat. Nanotechnol., 6(3), p147, 2011.
- [4] T. Onaya et al. ECS Transactions, 86(6), 2018.

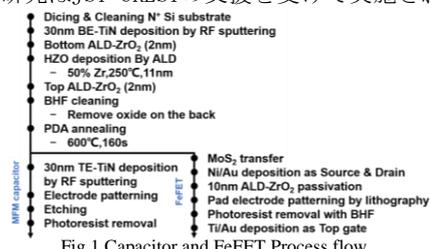


Fig.1 Capacitor and FeFET Process flow

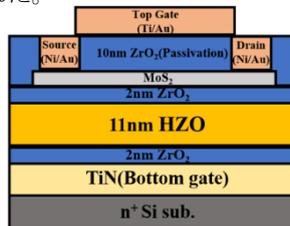
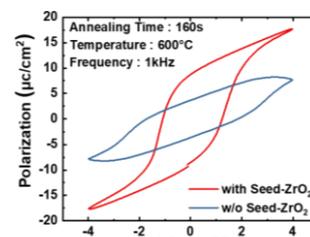
Fig.2 MoS₂-FeFET device structure

Fig.3 PV characteristics of MFM structure capacitors

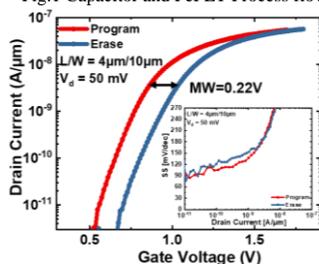
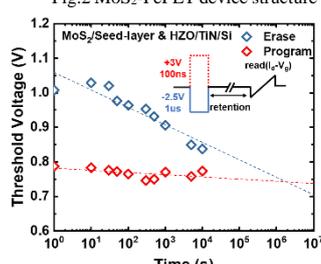
Fig.4 Measured I_d-V_g of MoS₂ FeFET after Erase/Program. (Inset is SS)

Fig.5 Retention characteristics

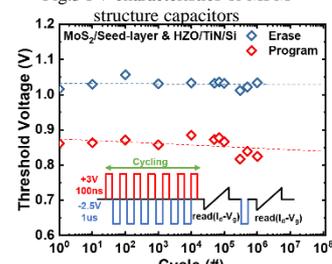


Fig.6 Endurance characteristics