

# 歪・組成制御エピタキシャル SiGe 薄膜の熱電性能

## Thermoelectric properties of strain- and composition-controlled epitaxial SiGe thin films

阪大院基礎工<sup>1</sup>, 東京都市大総研<sup>2</sup>, 産総研<sup>3</sup>

○(D)谷口 達彦<sup>1</sup>, 石部 貴史<sup>1</sup>, 我妻 勇哉<sup>2</sup>, 澤野 憲太郎<sup>2</sup>, 山下 雄一郎<sup>3</sup>, 中村 芳明<sup>1</sup>

Osaka Univ.<sup>1</sup>, Tokyo City Univ.<sup>2</sup>, AIST<sup>3</sup>

○Tatsuhiko Taniguchi<sup>1</sup>, Takafumi Ishibe<sup>1</sup>, Youya Wagatsuma<sup>2</sup>, Kentarou Sawano<sup>2</sup>,

Yuichiro Yamashita<sup>3</sup>, Yoshiaki Nakamura<sup>1</sup>

E-mail: tatsuhikotaniguchi126@s.ee.es.osaka-u.ac.jp

【背景・目的】これまで熱電材料の性能向上は、主にナノ構造を用いた熱伝導率低減により達成されてきた [1]。しかし、ナノ界面でのキャリア散乱も同時に誘発されるため、熱電出力因子の低減が生じ [2]、十分な性能を得ることは至極困難であった。熱電出力因子向上方法の一つとして、歪技術による電気伝導率増大が挙げられる。エレクトロニクス分野では、歪 Si-Ge 系材料を用いたトランジスタがすでに実用化されており、十分な研究実績がある。一方、熱電分野では、最も単純な歪構造であるエピタキシャル  $\text{Si}_{1-x}\text{Ge}_x$  薄膜の熱電性能すら実験的に報告されていない現状である [3]。本研究では、歪や組成を制御したエピタキシャル  $\text{Si}_{1-x}\text{Ge}_x$  薄膜を作製し、その構造・熱電性能評価から、歪が熱電性能に及ぼす影響を実験的に明らかにすることを目的とした。

【実験】分子線エピタキシー法により、 $\text{Si}_{1-x}\text{Ge}_x$  薄膜 ( $x \sim 0.3, 0.5, 1$ ) を Si(001)基板上に作製した。この際、膜厚制御や低温バッファ層導入により歪制御を行った。反射高速電子回折法 (RHEED) により試料のエピタキシャル成長を確認した。歪解析のために、X 線回折法により逆格子マッピングを取得した。試料成長後にイオン注入法を用いて、P をドーピングした後に、熱電性能評価 (van der Pauw 法、ゼーベック係数測定装置 (ZEM-3, アドバンス理工)、TDTR 法) を行った。

【結果】Figure に示す通り、SiGe 薄膜は Si(001)基板上にエピタキシャル成長していることを確認した。逆格子マッピングから、膜厚や低温バッファ層によって歪が系統的に制御され、歪量の異なるエピタキシャル SiGe 薄膜を作製できていることがわかった。これらの熱電性能を評価した結果、歪印加によって、電気伝導率は増大する一方で、ゼーベック係数は減少することがわかった [2]。また、 $\text{Si}_{0.7}\text{Ge}_{0.3}$  薄膜の熱伝導率は  $\sim 2 \text{ Wm}^{-1}\text{K}^{-1}$  と、非常に低い値を示した。本講演で詳細を報告する。

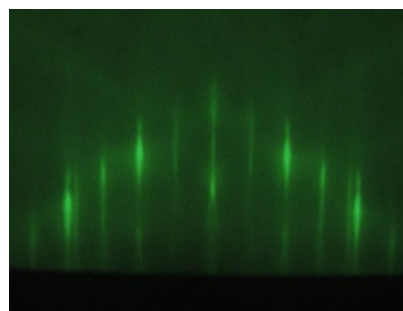


Figure The RHEED pattern of epitaxial  $\text{Si}_{0.7}\text{Ge}_{0.3}$  thin film.

【謝辞】本研究の一部は、科研費基盤 A (19H00853)、科研費挑戦的研究 (19K22110) および特別研究員奨励費 (18J20160) の支援により行われた。

【引用】[1] T. Taniguchi, *et al.*, *ACS Appl. Mater. Interfaces* **12**, 25428 (2020). [2] *Adv. Funct. Mater.* **19**, 2445 (2009). [3] T. Taniguchi, *et al.*, *Appl. Phys. Lett.* **117**, 141602 (2020).