

Dual Gate PN Body-Tied SOI-FET を用いたニューロン回路の検討

Neuron Circuit Using Dual Gate PN Body-Tied SOI-FET

金沢工大 ○森 貴之, 井田 次郎

Kanazawa Inst. of Tech., ○Takayuki Mori, Jiro Ida

E-mail: t_mori@neptune.kanazawa-it.ac.jp

はじめに: 近年, 機械学習に使用するニューラルネットワークを電子回路上に実装するニューロモルフィックチップの研究開発が盛んに行われている. これまでに我々は, スパイクングニューラルネットワーク (SNN) の実現に必要なニューロン発火機能を持った回路に関して, 新構造デバイスである PN body-tied (PNBT) SOI-FET の応用を検討している[1]. 本研究では, 新たに Dual Gate (DG) PNBT SOI-FET を用いたニューロン回路を検討したので報告する[2].

シミュレーション結果: 図 1 に DG PNBT SOI-FET の構造図を示す. 各デバイスパラメータはゲート酸化膜厚 $T_{ox} = 5$ nm, SOI 膜厚 $T_{Si} = 50$ nm, 埋め込み酸化膜厚 $T_{Box} = 200$ nm, ゲート長 $L_g = 0.2$ μm , 第 1 ゲート幅 $W_{g1} = 1$ μm , 第 2 ゲート幅 $W_{g2} = 0.2$ μm とした. 検証では TCAD HyENEXSS を用いて DG PNBT SOI-FET 単体の過渡応答特性をシミュレーションした. DG PNBT SOI-FET はフローティングボディ効果を用いた Subthreshold Slope の急峻化及び第 2 ゲートを制御することによる高速動作を目的としたデバイスで, 本研究ではボディ端子から信号が入力されることを想定している. 図 2 に検討を行ったニューロン回路と過渡応答特性を示す. ニューロン回路には入力信号を積算, 積算値があるしきい値に達した時に発火, スパイク信号を生成し, その後初期状態へ戻る機能が必要である. 図 2 (a)の回路は, フローティングボディ効果によるキャリアの蓄積及び, 正のフィードバックによる急峻なスイッチング, 最後に第 2 ゲートとボディ端子にリセット信号を送ることで, 蓄積キャリアを排出して初期状態に戻すことを可能にする. 図 2 (b)で示すように, ボディ端子へ 1 V の電圧が入力されて 40 ns 程度経過すると, デバイスがオン状態となりドレイン電流が流れる. そしてリセット信号 0 V が入ることで立ち下がり, スパイク信号を生成できていることが分かる. これは, DG PNBT SOI-FET を用いたニューロン回路が, 第 2 ゲートによってリセット動作を容易にできることを示している.

謝辞: 本研究の一部は, キオクシア株式会社の支援をうけて実施したものです.

参考文献: [1] 森, 井田 他, 2020 春季応物, 14p-A301-7. [2] T. Mori, J. Ida et al., 2020 SSDM, pp. 29–30.

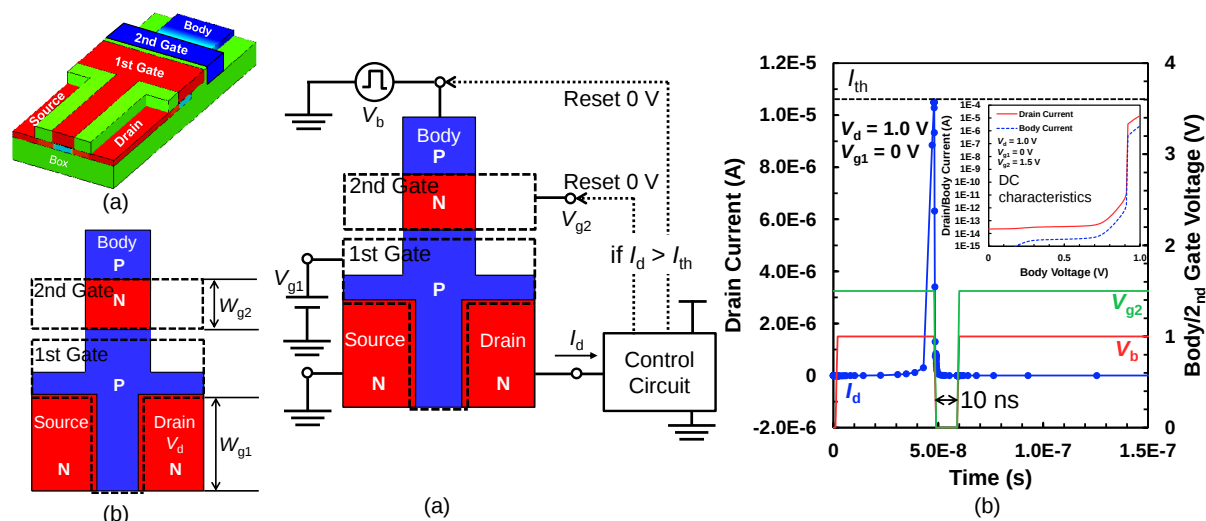


図 1 DG PNBT SOI-FET の (a) 鳥瞰図, (b) 上面図.

図 2 DG PNBT SOI-FET を用いた (a) ニューロン回路の全体図, (b) 過渡応答特性シミュレーション結果.