

ニアスレッシュホールド電圧動作 ULVR-SRAM セルの設計

Design of ULVR-SRAM cell for near-threshold voltage operation

東工大未来研 原拓実, 吉田隼, 塩津勇作, 山本修一郎, 菅原聡

T. Hara, H. Yoshida, Y. Shiotsu, S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech.

E-mail: hara.t.1011@isl.titech.ac.jp

【はじめに】 IoT デバイスに用いるマイクロコントローラ(MC)やシステムオンチップ(SoC)ではその低消費電力化が特に重要である. このようなロジックシステムに用いる SRAM では, 速度性能より低消費電力性能が重要となることから, 高しきい値の LSTP デバイスの利用とニアスレッシュホールド電圧を用いた低電圧駆動が有効である. このような低電圧動作では全電力に対する待機時電力の割合が増加することから[1], 低電圧 CMOS においてもパワーゲーティング(PG)は重要になると考えられる. 前回の発表では低電圧駆動(0.5V)の SRAM 動作と, 超低電圧リテンション(ULV:0.2V)による PG を行うことが可能な ULVR-SRAM を提案した[2]. 今回の発表では, セルのポストレイアウトにおけるダイナミックノイズマージン(DNM)を用いた設計について述べる.

【動作原理】 図 1 に ULVR-SRAM セルの構成を示す. セルはデュアルモードインバータ(DMI) [3, 4]を用いて構成される. フィードバックランジスタ(FBTr)には pMOS を用いて, そのゲート入力是他方のインバータの出力に接続する. この FBTr に一定のバイアス V_{FB} ($=0.2V$)を加えておくことで, 仮想電源電圧(V_{DD})の変化によって, ノーマルインバータ(NI)モード($V_{DD}=0.5V$)と, ULVR が可能なシュミットリガ(ST)モード($V_{DD}=0.2V$)への切り替えが自動的に行われる. V_{DD} は 2 種類の電源電圧($V_{DDH}=0.5V$, $V_{DDL}=0.2V$)から 2 つのヘッダパワースイッチ(PS1, PS2)を用いて生成し, セルに供給される. また, ULVR 時に pMOS の基板バイアス効果によってリーク電流を削減できるようにセル内のすべての pMOS のボディを V_{DDH} に接続した.

【設計方法と解析結果】 HSPICE を用いてセルの設計と解析を行った. デバイスには 65nm CMOS プロセスの LSTP モデルを用いた. セルは安定性の指標となる DNM を用いて設計した. 設計では特にドライバランジスタのチャネル幅 W_{DRV} が重要になる. 図 2 に DNM の W_{DRV} 依存性を示す. FBTr のチャネル幅(W_{FB})は 100nm とした. また, レイアウト前の結果を点線で, レイアウト後(図 3 参照)の RC の影響を考慮した結果を実線で示す. 低電圧 SRAM 動作における DNM のワーストケースは READ 動作であるが, 0.5V 動作では最小の W_{DRV} が最小の 100nm でも十分な DNM を実現できる. 一方, ULVR では SF コーナーと FS コーナーの DNM が一致する W_{DRV} が最適設計点となるが, プレレイアウトとポストレイアウトで最適点が変わるため, 設計にはポストレイアウト解析が必要になることがわかる. ULVR 時の DNM は $W_{DRV}=170nm$ のとき最大となり, ワーストケースでも 94mV と十分な DNM を確保できる. 図 3 に最適設計のレイアウトを示す. 図 4 に 6T セルと ULVR-SRAM セルにおける ULVR 時の DNM とリーク電力を示す. 6T セルの設計には報告

値を用いた. また, $V_{DD}=0.5V$ の待機時電力も示す. 6T セルは $V_{DD}=0.2V$ では安定性が低く ULVR を行うことは難しい. 一方 ULVR-SRAM セルでは 0.2V の ULVR が可能となり, リーク電力を自身の 0.5V リテンション時から 60%, 6T セルの 0.5V リテンションと比べて 76%削減できる.

【謝辞】シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシノプシス株式会社の協力で行われたものである.

【参考文献】[1] S. Jain *et al.*, IEEE ISSCC, FP 3.6, 2012. [2] 原他, 第 67 回応用物理学会春季学術講演会, 18a-B11-10. [3] D. Kitagata *et al.*, IEEE SNW 2018, p2-17. [4] 吉田他, 第 79 回応用物理学会秋季学術講演会, 20a-CE-6, 2018.

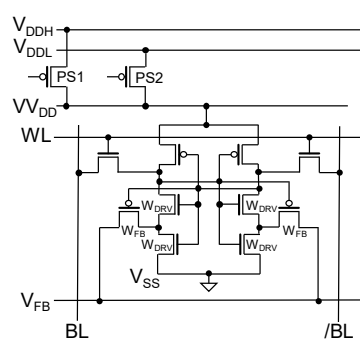


図 1. ULVR-SRAM セル

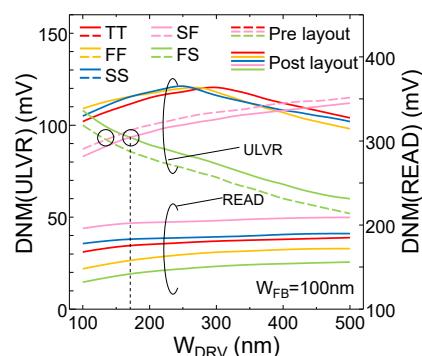


図 2. DNM の W_{DRV} 依存性

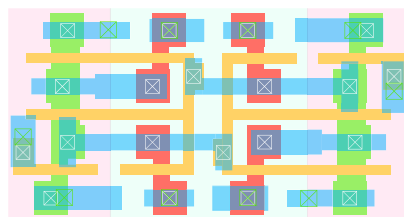


図 3. ULVR-SRAM のレイアウト

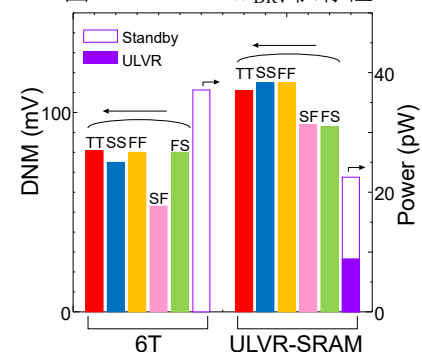


図 4. 6T セルと ULVR-SRAM の比較