

超低電圧リテンション SRAM のエネルギー極小点動作

Energy-efficient operation at energy minimum point for ultralow-voltage-retention SRAM

東工大未来研 °塩津勇作, 山本修一郎, 菅原聡

°Y. Shiotsu, S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech.

E-mail: y.shiotsu@isl.titech.ac.jp

【はじめに】 将来のスマート社会におけるエッジコンピューティングではスマートフォンなどのスマートモバイルデバイス(SMD)のさらなる低消費電力化が要求される。このようなエッジでは、高速性を要求しないバックグラウンドの情報処理も多いことから、SMD に用いる SoC では消費エネルギーが極小となる電圧 $V_{\min}$ を用いた超低消費電力動作モードも重要になる。 $V_{\min}$ では動作速度は劣化するが、動作時電力を大幅に削減できる[1]。また、SoC ではパワーゲーティング(PG)による待機時電力の削減も重要である。記憶回路を含まない純粋なロジックドメインでは $V_{\min}$ 動作と PG は比較的容易に実装可能である。一方、メモリドメインについては、 $V_{\min}$ 動作と PG は、それぞれ独立に研究開発されてきた。10T セルなどの低電圧 SRAM では $V_{\min}$ 動作は可能であるが、PG は実施できない。不揮発記憶を利用した NV-SRAM は PG のために研究開発されているが $V_{\min}$ 動作は難しい。また、これらを組み合わせたセルを考えることも可能であるがセル面積の増大を招く。最近、我々は CMOS のみで構成され、極めて微小な電圧($ULV < V_{\min}$)を用いてデータを保持できる超低電圧リテンション SRAM (ULVR-SRAM)を提案した[2-4]。ULVR-SRAM は、通常電圧下の SRAM 動作時では 6T セルと同様の高性能動作を実現できる(NI モード)。駆動電圧を ULV に下げると、シュミットトリガインバータモード(ST モード)に移行し安定にデータを保持できる。ULVR-SRAM ではこの ST モードを用いることで $V_{\min}$ 動作も可能になると考えられる。本報告では ULVR-SRAM の $V_{\min}$ 動作の検証結果について発表する。

【回路構成】 図 1 にセル構成を示す。仮想電源電圧(V_{DD})は 3 種類の電源電圧($V_{DDH}=1.2V$, $V_{DDM}=0.4V$, $V_{DDL}=0.2V$)からヘッダパワースイッチ(PS1, PS2, PS3)を用いて生成し、通常の SRAM 動作には V_{DDH} , $V_{\min}$ 動作には V_{DDM} , ULVR には V_{DDL} を用いる。FBFr.のバイアス(V_{FB})には $V_{FBM}(=0.4V)$ または $V_{FBL}(=0.2V)$ のいずれかを用いる。 $V_{\min}$ 動作では V_{FBM} を用いて ST モードで動作させ、 $V_{\min}$ でも安定な SRAM 動作を実現する。通常の SRAM 動作と ULVR では V_{FBL} を用いる[3]、動作解析には前回発表した ULVR-SRAM マクロをベースに 3 モード動作できるように改良を行った 8kB マクロを用いた[4]。セルおよび周辺回路の設計は HSPICE を用い、その動作は寄生抵抗・容量を抽出して、高速 SPICE (FineSim)による大規模シミュレーションから評価した。デバイスには 65nm CMOS プロセスの LP モデルを用いた。

【解析結果】 図 3 に $V_{\min}$ 動作における Read 動作のノイズマージン(NM)を示す。6T セルでは電源電圧の減少とともに NM が大きく劣化するが、ULVR-SRAM セルでは低電圧の領域においても ST モード動作によって NM を高く保持できる。すべてのプロセスコーナーで 100mV を超える十分な NM を達成できる。図 4 に 8kB マクロにおける動作速度、平均電力、1 サイクル当たりの消費エネルギーの V_{DDM} 依存性を示す。電源電圧の減少とともに、平均電力、動作速度は減少するが、エネルギーは $V_{DDM}=0.4V$ で極小となる。このとき動作周波数は 50MHz となるが、動作時電力は通常電圧(1.2V)の場合と比べて 99%削減できる。また、ULVR-SRAM では 0.2V の ULVR を用いた PG により待機時電力を 90%削減できる。

【謝辞】シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシノプシス株式会社の協力で行われたものである。

【参考文献】[1] S. Jain *et al.*, IEEE ISSCC, 3.6, 2012. [2] D. Kitagata *et al.*, IEEE S3S Conf. 2018, 13.5. [3] 北形他, 第 81 回応用物理学会秋季学術講演会, 2020, 11a-Z09-9. [4] 塩津他, 第 81 回応用物理学会秋季学術講演会, 2020, 11a-Z09-10.

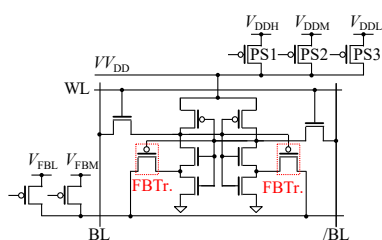


図 1. ULVR-SRAM セルの構成

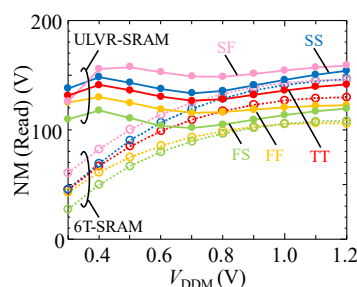


図 3. Read 動作の NM

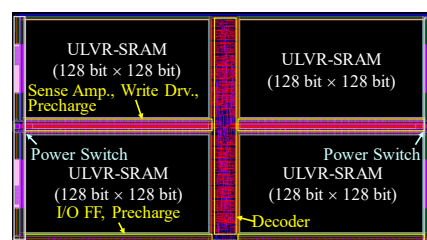


図 2. 8kB マクロのレイアウト

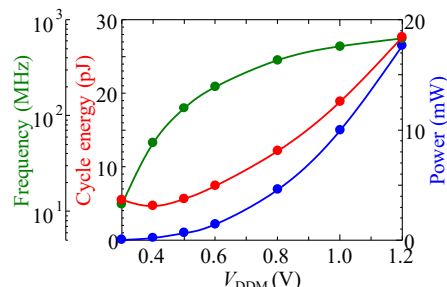


図 4. $V_{\min}$ 動作の解析結果