

ULVR-SRAM を用いたキャッシュのパワーゲーティング性能

Power-gating performance of caches using ultralow-voltage-retention SRAM

東工大未来研 吉田隼, 塩津勇作, 山本修一郎, 菅原聡

H. Yoshida, Y. Shiotsu S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech.

E-mail: yoshida.h.ao@m.titech.ac.jp

【はじめに】キャッシュのリーク電力はマイクロプロセッサや SoC といった CMOS ロジックシステムの性能を制約する重要な要因となっている。パワーゲーティング(PG)はこのような CMOS ロジックシステムにおける有力な待機時電力削減技術であり[1], 現在の CMOS ロジックシステムには標準的に搭載されている。しかし, キャッシュでは PG の実行によって保持していたデータをフラッシュ(破棄)するため, 頻繁に電源遮断(PG)することができないといった課題がある。したがって, その実行機会はタスクの終了後などに限られている。キャッシュの内容をフラッシュすることなくランタイムにおいても細粒度に PG を実行できれば, これまで電力削減できなかったスタンバイ状態であっても PG を実行できる可能性がある。我々はこれまでに, データを超低電圧リテンション(ULVR)することで高いエネルギー削減効率の PG を実現できる ULVR-SRAM を提案し, その PG 応用を検討してきた[2]。今回, ULVR-SRAM を用いたキャッシュの PG 動作と, キャッシュのスタンバイ時間分布をモデリングすることで ULVR-SRAM によるキャッシュの PG 性能を解析した。

【回路構成】図 1 に ULVR-SRAM セルを示す。ULVR-SRAM セルは, デュアルモードインバータで構成し[3], ヘッダおよびフッタのパワースイッチを用いてセルへの供給電圧(V_{DD} - V_{SS})を通常電圧と超低電圧に切り替えることで動作モードを切り替える。通常電圧下(V_{DD} - V_{SS} = 1.2V)では高速 SRAM 動作を実現できる NI モード, 超低電圧(V_{DD} - V_{SS} = 0.2V)では安定に情報保持を実行できる ST モードで動作させる。このセルを用いて 8kB マクロを設計し(図 2), この大規模シミュレーションから, 以下に示す PG の解析に必要な物理量を抽出した。デバイスには 65nm CMOS の LP モデルを使用した。

【モデリングと解析結果】キャッシュのスタンバイ(SB)可能時間(t_{SB0})が損益分岐時間(BET)[4]よりも長ければ ULVR, 短ければスタンバイ動作するモデルを用いて検討した。この条件は ULVR-SRAM を用いた PG の理想限界を与える。このモデルをもとに, スタンバイ可能時間におけるキャッシュの平均リーク電力を解析した。スタンバイ可能時間 t_{SB0} の分布は, 現実のプロセッサにおけるベンチマークテストの結果を用いて, CPU のアイドル時間分布から求めた。キャッシュは L1 instruction(L1I), L1 data (L1D), および L2 から構成される。各キャッシュのキャッシュアレイ容量はベンチマークテストの実行環境に合わせ, またタグアレイ容量については適切に設定した。リーク電力の解析結果を図 3 に示す。L1 キャッシュでは様々なアプリケーションにおける種々の t_{SB0} の分布に対して 90%近いリーク電力の削減が可能である。さらに, L2 キャッシュでも 50-90%程度の削減が可能である。

【まとめ】ULVR-SRAM を用いてキャッシュを構成することで, アプリケーション実行中の微小なスタンバイ時間においても細粒度に PG を実行できる可能性を示した。この細粒度 PG を用いることでキャッシュの待機時電力の削減率を大幅に高められることを示した。

【謝辞】シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシノプシス株式会社の協力で行われた。

【参考文献】[1] Y.Kanno *et al.*, IEEE J. Solid-State Circuits **42**, 1, pp. 74-83, 2007. [2] 吉田他, 第 67 回応用物理学会春季学術講演会, 12p-A305-9, 2020. [3] 北形他, 第 81 回応用物理学会秋季学術講演会, 11a-Z09-9, 2020. [4] D.Kitagata *et al.*, JJAP **58**, SB, pp. SB3B 12/1-10, 2019.

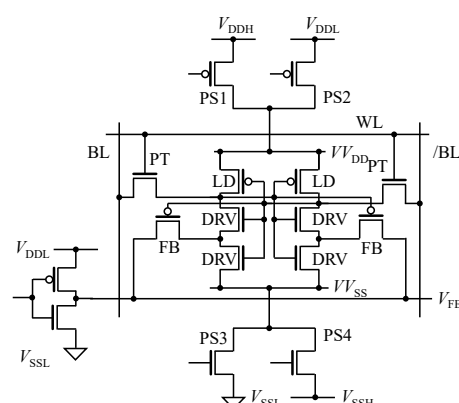


図 1 ULVR-SRAM セル

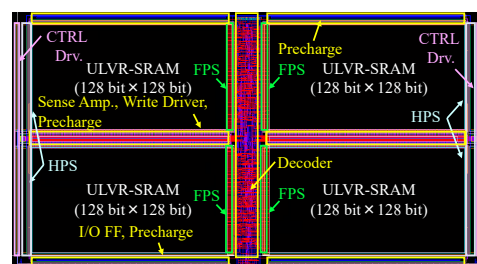


図 2 8kB SRAM マクロのレイアウト

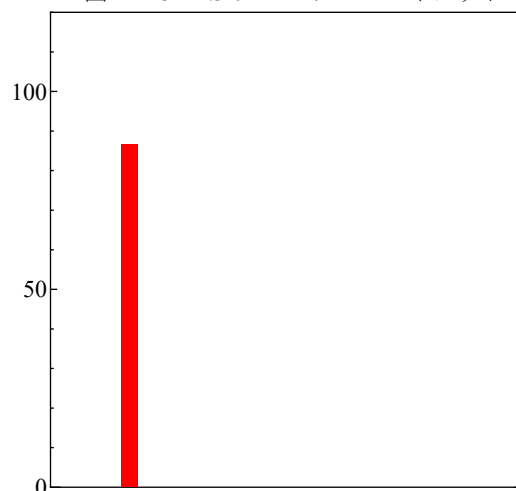


図 3 アプリケーションごとのリーク削減率