

超低電圧リテンションフリップフロップ (ULVR-FF) のエネルギー極小点動作

Energy-efficient operation at energy minimum point for ultra-low-voltage-retention FF

東工大未来研 瀧口憲一郎, 塩津勇作, 松崎翼, 山本修一郎, 菅原聡

K. Takiguchi, Y. Shiotsu, T. Matsuzaki, S. Yamamoto, and S. Sugahara, FIRST, Tokyo Inst. of Tech.

E-mail: takiguchi.k.ab@m.titech.ac.jp

【はじめに】将来のスマートモバイルデバイスに用いられる SoC では、高速性を要求しないバックグラウンドの情報処理も多いことから、消費エネルギーが極小となる電圧 $V_{\min}$ を用いた超低消費電力動作モードも重要になると予想される。 $V_{\min}$ 動作では動作速度は劣化するが、大幅に動作時電力を削減することができる[1]。また、SoC では待機時消費電力の削減のためのパワーゲーティング(PG)も必要であることから、 $V_{\min}$ 動作と PG の両方を実装できる必要がある。ステイトリテンションに用いられるフリップフロップ(FF)の PG に関しては、デュアルパワーレールによるリテンション FF や、バックアップ用記憶回路へのデータ転送などが用いられるが、損益分岐時間(BET)が長く(数 msec)、細粒度の PG の実施ができない。一方、我々の提案している微小電圧(ULV)を用いてデータを保持できる超低電圧リテンションFF(ULVR-FF)は、極めて BET が短い(数 μ sec)。今回、この ULVR-FF の $V_{\min}$ 動作について検討を行った。

【回路構成】図 1 に ULVR-FF の回路構成を示す。スレーブラッチはデュアルモードインバータで構成され、供給電圧が高いときには通常の DFF として高速に動作し、ULV 下ではシュミットトリガ双安定回路として機能し、安定にデータを保持できる。スレーブラッチには 3 種の電源電圧(V_{DDH} , V_{DDM} , V_{DDL})からパワースwitch(PS)を用いて仮想電源電圧(V_{DD1})を生成し供給する。通常の FF 動作には V_{DDH} , $V_{\min}$ 動作時には V_{DDM} , ULVR を用いた PG 時には V_{DDL} の電源供給を行う。マスタラッチについては、通常動作時は V_{DDH} , $V_{\min}$ 動作時には V_{DDM} を供給し、ULVR 時は電源を完全に遮断する。ULVR-FF は、プルダウン側のみに pMOS のフィードバックトランジスタ(FBTr)を接続する構成を用いた。この ULVR-FF を用いて 64bit レジスタを構成した(図 2 に ULVR-FF のレイアウトを示す)。セル及び周辺回路の設計は HSPICE を用いた。その動作は寄生抵抗・容量を抽出して、高速 SPICE(FineSim)によるシミュレーションから評価した。デバイスには 65nm CMOS プロセスの LP モデルを用いた。

【設計指針と解析結果】ULVR-FF は適切に設計した通常の DFF をリファレンスセルとして、回路性能を考慮して各トランジスタサイズを調整することで設計した[2]。スレーブラッチについてはトランジスタのバラツキを考慮して、ULVR のノイズマージンが最大となるように設計した。また、速度・遅延性能の劣化を抑えつつ、リーク電力をリファレンスセルと同等となるように設計した[1]。この ULVR-FF を用いて 64bit レジスタを構成し、 $V_{\min}$ 動作をポストレイアウト解析した。図 3 にこのレジスタの動作周波数 f , 平均電力 P , 1 サイクル当たりの消費エネルギー E の V_{DDM} 依存性を示す。ロジックシステムの動作速度はレジスタよりも他の回路ブロックに律速されるため、ここでは ULVR-FF レジスタの動作周波数として、ULVR-SRAM マクロにおける動作周波数を用いた[3]。 V_{DDM} の削減とともに P および E が減少することがわかる。ULVR-SRAM マクロのエネルギー極小点電圧は 0.4V 付近である。これを $V_{\min}$ に採用すれば、動作周波数は 50MHz となり、ULVR-FF レジスタの動作時電力は通常電圧(1.2V)の場合と比べて 99% 削減できる。また、ULVR-FF レジスタでは 0.2V の ULVR を用いた PG により待機時電力を 98%削減することができる。

【謝辞】シミュレーションは東京大学大規模集積システム設計教育センター(VDEC)を通しシノプシス株式会社の協力で行われたものである。

【参考文献】[1] S. Jain *et al.*, IEEE ISSCC, 3.6, 2012. [2] 瀧口他, 第 81 回応用物理学会秋季学術講演会, 2020, 11a-Z09-12. [3] 塩津他, 第 81 回応用物理学会秋季学術講演会, 2020, 11a-Z09-10.

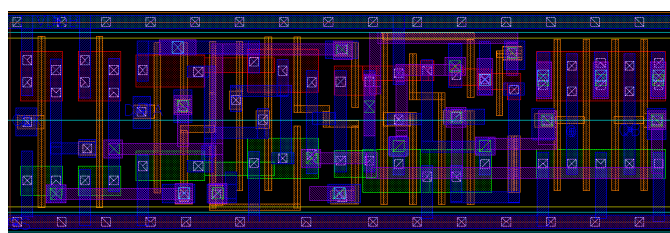


図 2. ULVR-FF のレイアウト

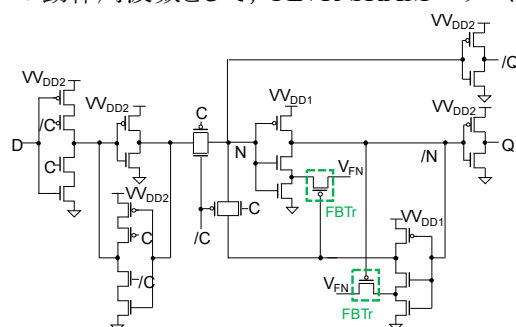


図 1. ULVR-FF の回路構成.

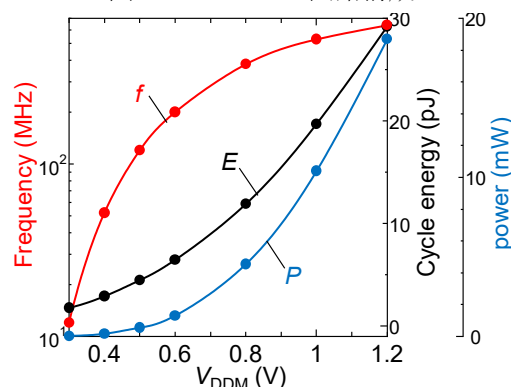


図 3. $V_{\min}$ 動作の解析結果