

Si 上 InAs/GaSb コアシェルナノワイヤ縦型サラウンディング ゲートトランジスタの試作

Demonstration of InAs/GaSb core-shell nanowire vertical surrounding-gate transistors on Si

北海道大学情報科学研究院および量子集積センター

○蒲生 浩憲、本久 順一、富岡 克広

Graduate School of IST and RCIQE, Hokkaido Univ.

○Hironori Gamo, Junichi Motohisa, Katsuhiro Tomioka

E-mail: gamou@rciqe.hokudai.ac.jp

[はじめに] InAs と GaSb は、高い電子・正孔移動度を有しているため、次世代電界効果トランジスタ(FET)のチャネル材料として期待されている。また、As/Sb 系 III-V 族化合物半導体ヘテロ接合は Staggered 型、Broken gap 型ヘテロ接合を形成することができ、トンネル FET 素子など幅広い応用が期待されている[1]。これまで我々は、選択成長ナノワイヤ(NW)の原子層レベルで平坦なファセット面をテンプレートとすることで、平坦な GaSb 層を形成できることを明らかにしてきた。本研究では、縦型集積回路応用のため、*p*-Si(111)上の *n*-InAs/*p*-GaSb コアシェル(CS) NW サラウンディングゲートトランジスタ(SGT)の作製について報告する。

[実験方法] 基板は熱酸化膜(20 nm)を形成した *n* 型 Si(111)を用い、電子線リソグラフィ、ドライ・ウェットエッチングで形成した。次に、MOVPE 選択成長法で、*n*-InAs NW を異種集積し、*p*-GaSb シェル層を形成した。成長条件は、TMGa を 2×10^{-6} atm、TDMASb を 2×10^{-4} atm とした。また、*p* 型ドーパントとして DEZn を供給した。

次に、原子層堆積法により HfAlO 膜を 10 nm

堆積し、スパッタリング法によりゲート電極(W)を成膜した。ベンゾシクロブテン(BCB)により NW を包埋し、反応性イオンエッチングで NW 上部のゲート電極、HfAlO 膜をエッチングすることで、サラウンディングゲート構造を作製した。最後に、BCB でゲート・ドレイン間分離層を形成し、NW 上部、基板裏面にそれぞれドレイン(Cr/Au)、ソース電極(Ti/Au)を蒸着し、図 1 に示す縦型 SGT 構造を作製した。

[結果] 図 2 に InAs/GaSb CS NW SGT の伝達特性を示す。ゲート電圧によって電流が変調され、負のゲート電圧で on/off 比~1 桁程度の変調、正のゲート電圧で on/off 比~4 桁程度のスイッチング動作を生じた。図 3 に *p*-Si 上の *n*-InAs/*p*-GaSb CS NW のバンド構造を示す。バンド構造から *p* チャネル動作することが予想され、実験結果と異なることがわかる。これはドレイン端において、CS 層が短絡していることを示している。当日は、CS 構造の最適化とスイッチング動作の改善について議論する。

[参考文献]

[1] E. Memisevic *et al.*, IEEE IEDM Tech. Dig. 500 (2016).

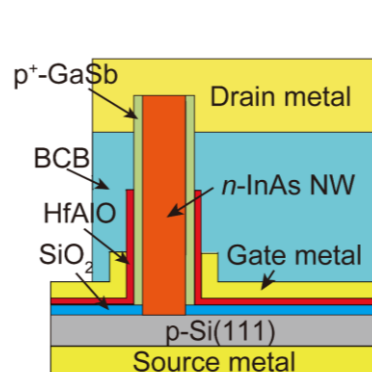


Fig.1 Illustration of InAs/GaSb CS NW vertical SGT.

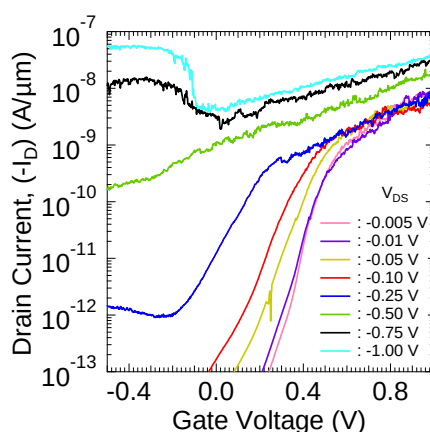


Fig.2 Transfer characteristics of the *n*-InAs/*p*-GaSb CS NW SGT.

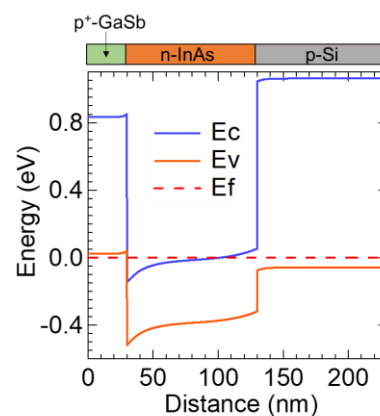


Fig.3 Band diagram of *n*-InAs/*p*-GaSb CS NW on *p*-Si.