

大面積集積化に向けた PVD 堆積ノーマリオフ MoS_2 - n MISFETs

Normally-off PVD- MoS_2 n MISFETs for chip-level integration

ソニー株式会社, °松浦 賢太郎

Sony Corporation, °Kentaro Matsuura, E-mail: Kentaro.Matsuura@sony.com

1. はじめに

2011 年に 0.65 nm の極薄 MoS_2 膜を用いたトランジスタが報告され, 極薄領域でのシリコンを超える高い移動度と柔軟性, 光透過性を有することから[1,2], MoS_2 を始めとする二次元半導体は新たなチャネル材料として注目されている. 二次元半導体の成膜には化学気相成長法が広く用いられるが, 均質かつ大面積な成膜とアルカリ金属系汚染に改善の余地がある[3,4]. 高真空下で大面積成膜が可能なスパッタリング法による MoS_2 - n MISFETs を報告したが, normally-on 動作が課題であった[5].

そこで本研究では, SiN 保護膜の導入と硫黄粉末アニール(SPA)による硫黄補填, フォーミングガス(F.G.)アニールによる MoS_2 /絶縁膜界面電荷密度の低減により normally-off 動作を実現した.

2. 試料作製方法

Fig. 1 のように Poly-Si の S/D 領域を形成後, スパッタ Mo 膜を 700°C で 1 分間アニールすることで, Poly-Si 表面に MoSi_2 膜を形成する. SPM 洗浄によって未反応の Mo を除去し, スパッタリング法で MoS_2 膜を 2.7 nm 堆積した. その後, SPA を 700°C で 60 分間行い, 原子層堆積法(ALD)で Al_2O_3 膜を 16.4 nm 堆積した. MoS_2 活性領域を Reactive Ion Etching (RIE)で形成後, SiN 膜をスパッタ堆積し, リフトオフによって側壁保護膜とした. RIE によってトップゲート TiN とコンタクトホールを形成後, 300°C で 30 分間, F.G.アニールを行い, FET 特性を測定した.

3. 結果とまとめ

Fig. 2 に電流-ゲート電圧特性を載せる. 太い実線(I_d)が示すように SPA と F.G.アニールによって normally-off 動作を実現した. 硫黄補填によるキャリア密度と MoS_2 /絶縁膜界面電荷密度の低減によるものと考えられる. SPA のみでは, normally-on 動作となり, F.G.アニールのみでは硫黄欠損が多く, MoS_2 膜が金属に近い. 先行研究に比べて移動度が $0.12 \text{ cm}^2/\text{V}\cdot\text{s}$, on/off 比が $\sim 10^2$ と小さく, グレインサイズ向上が求められるが, トップゲート構造で

normally-off 動作と低い off 電流を有しており, 本研究におけるスパッタリングプロセスや off 電圧と $\text{MoS}_2/\text{Al}_2\text{O}_3$ 界面に関する議論が二次元半導体の実用化に寄与すると期待している[6]. また当日は, 二次元半導体研究の最新事例も紹介し, 研究動向についても報告する.

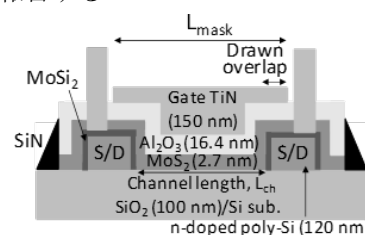


Fig. 1 Cross-sectional schematic image of the n MISFET with TiN top gate and PVD- MoS_2 channel of 2.7-nm thick.

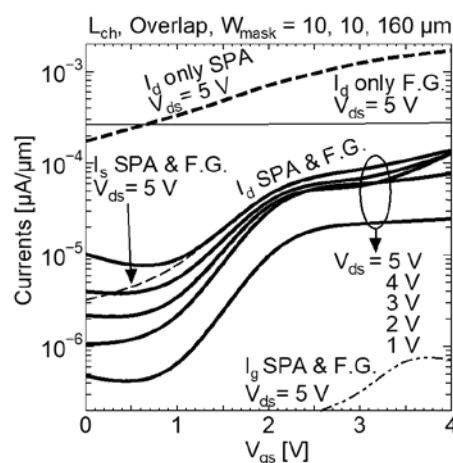


Fig. 2 Logarithm I_d , I_s and I_g dependences on V_{gs} with and without SPA and F.G. annealing for L_{ch} , overlap and W_{mask} of 10, 10 and 160 μm , respectively, at $V_{ds} = 1 \sim 5 \text{ V}$.

謝辞 本研究の一部は JST CREST JPMJCR16F4 と COI JPMJCE1309 の助成を受けたものである. 本研究は発表者が東工大博士後期課程在籍時に行ったものであり, 東工大若林整教授に感謝する.

参考文献

- [1] B. Radisavljevic, *et al.*, Nat. Nanotechnol. 6, 147 (2011).
- [2] A. Kuc, *et al.*, Physical review B 83, 245213, (2011).
- [3] K. Matsuura, *et al.*, JEM, Vol. 47, 7, (2018).
- [4] I. Asselberghs, *et al.* IEDM, 40.2, (2020).
- [5] K. Matsuura, *et al.*, J-EDS, Vol. 6, pp.1246-1252, (2018).
- [6] K. Matsuura, *et al.*, Jpn. J. Appl. Phys. 59, 080906, (2020).