

中性粒子ビーム加工による高移動度 Ge FinFET の実現

High Electron Mobility Germanium FinFET Fabricated by Neutral Beam

東北大流体研¹, 産総研², NCTU³, TSRI⁴, 東北大 AIMR⁵ ○大堀 大介¹, 野田 周一²,
藤井 卓也¹, 水林 亘², 遠藤 和彦^{1,2}, Li Yiming³, Lee Yao-Jen⁴, 尾崎 卓哉¹, 寒川 誠二^{1,3,5}
IFS, Tohoku Univ.¹, AIST², NCTU³, TSRI⁴, AIMR, Tohoku Univ.⁵, °Daisuke Ohori¹,
Shuichi Noda², Takuya Fujii¹, Wataru Mizubayashi², Kazuhiko Endo^{1,2}, Yiming Li³, Yao-Jen Lee⁴,
Takuya Ozaki¹, and Seiji Samukawa^{2,3}

E-mail: daisuke.ohori.a4@tohoku.ac.jp, samukawa@ifs.tohoku.ac.jp

【緒言】

Si CMOS デバイスはプレーナ形 MOS トランジスタの短チャネル効果によるゲート長微細化限界により 3 次元 Fin 型電界効果トランジスタ構造が用いられている。さらにより高いキャリア移動度をもつ Ge を従来の Si と置き換えることで高性能化が期待され、すでに 100 nm 以下の Fin 幅をもつ構造が実現している[1]。Ge Fin チャンネル形成は Si のエッチング反応と比較して欠陥生成に対してより敏感であり、中性粒子ビームを用いることで Fin エッチング界面を低損傷且つ原子レベルで平坦に形成することが可能となった[2]。そこで、本研究では Ge Fin 構造において中性粒子ビームエッチングにより原子レベルで平坦で損傷のない側壁構造を実現し、実際の電子移動度と損傷やラフネスによる影響を、従来のプラズマエッチング(PE)と中性粒子ビームエッチング(NBE)を用いて検討した。

【実験方法と結果】

図 1 に作製フローを示す。マスクによる Fin 幅が 50 nm となるように電子線リソグラフィーを用いてパターンを作製した。3D Fin 構造を作製する際に、中性粒子ビームまたはプラズマエッチングを用いて加工した。エッチング界面の欠陥および粗さを高解像度 TEM 像にて見積もった。作製した n 型 Ge FinFET を用いて Id-(Vg-Vth)特性を測定し、その結果より電子の有効移動度を見積もった。図 2 に電荷密度に対する電子の有効移動度を示す。NBE で作製した Ge FinFET は、PE よりも最大で 65%高い移動度を示し、Ge bulk に対して 85%まで近づいた。電子の移動度は電荷密度によって散乱機構が変わり、電荷密度の低い領域ではクーロン散乱が支配的、そして電荷密度が高い領域ではラフネス散乱が支配的となる。高解像度 TEM 観察結果より見積もったエッチング界面の粗さ(Rms)によると、Fin 長さ方向の粗さが NBE に対して PE が高く、これがラフネス散乱の原因となっていると考えられる。図 3 に Si FinFET と Ge FinFET のそれぞれの Bulk に対する電子移動度比を示す。これより、NBE で作製された Si FinFET では、電荷密度の増加に対して移動度の改善率がほとんど変わらないが、Ge FinFET では 65%から 85%まで移動度が向上した。その結果、Ge は Si よりエッチング界面の損傷が移動度の劣化へより大きく影響していることが分かった。したがって、Ge FinFET の有効電子移動度は、高キャリア密度領域で原子的に平坦で欠陥のないエッチング界面を得ることが重要であることが分かった。

Reference [1] D. Hisamoto, et al., IEEE Trans. Electron Devices 47, 2320 (2000). [2] W. Mizubayashi, et al., Appl. Phys. Express 10, 026501 (2017). [3] S. Takagi, et al., IEEE Transactions on Electron Devices 41 (12), 2357-2362 (1994). [4] K. Endo, et al., IEEE Transactions on Electron Devices 53 (8), 1826-1833 (2006).

- (100) GeOI
- Fin Electron Beam (EB) lithography
- Fin fabrication by NBE or PE
- High-k dielectric film growth
- TiN forming (50 nm)
- SiO₂ film growth
- Gate EB lithography
- Gate fabrication
- P or BF₂ implantation
- Dielectric film formation between layers
- Activated annealing
- Wiring

Fig.1. Fabrication flow for Ge FinFET.

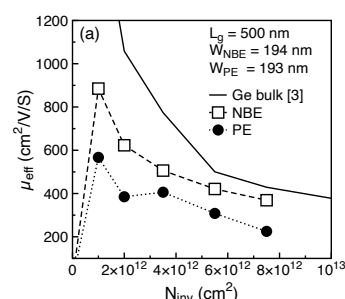


Fig. 2. Effective electron mobility as a function of the induced inversion charge density (N_{inv}) in the channel region.

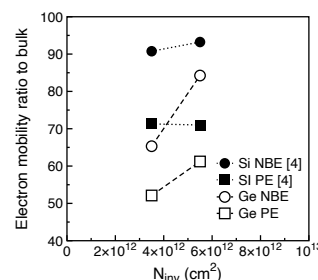


Fig. 3. Electron mobility ratio to bulk for Si and Ge FinFET by NBE or PE.