

転写技術による Si/Ge 異種チャネル相補型 FET(hCFET)の開発

Si/Ge heterogenous complementary FET (hCFET) through layer transfer technology

産総研¹, 台湾半導体研究中心² °前田辰郎¹, 石井裕之¹, 入沢寿史¹,

洪子杰², 宋柏融², 李耀仁², 張文馨¹

AIST¹, Taiwan Semiconductor Research Institute² (TSRI) °T. Maeda¹, H. Ishii¹, T. Irisawa¹,

T.-Z. Hong², P.-J. Sung², Y.-J. Lee², and W. H. Chang¹

E-mail: t-maeda@aist.go.jp

【背景】

2nm 世代以降の新たな CMOS アーキテクチャとして、nFET と pFET が同じチャネルレイアウトで上下に積層され、共通ゲートで動作させる Complementary FET(CFET)が注目されている。CFET では、上下のチャネル性能バランスを図るため、チャネル膜厚や積層数など、3 次元的な設計最適化が必要となるが、Si nFET と Ge pFET の異種(heterogeneous)チャネル積層もその一つの手段となる。今回我々は、転写技術を使って Si 層と Ge 層の異種積層構造を作り、heterogeneous Complementary FET (hCFET)を実現したので報告する。

【結果および考察】

Fig.1 に今回開発した異種積層構造の転写プロセスを示す。まず SOI ウエハー上に Ge をエピタキシャル成長したドナーウエハー(a)を用意する。ここで Ge 層中には、Si 層との界面に近いところに欠陥層が、表面側には高品質層が存在する。次にドナーウエハーと SOI ホストウエハー(b)に SiO₂ 絶縁膜を堆積し、表面を活性化後(c)、200 度以下の低温プロセスで接合させる(d)。その後、ドナーウエハーの Si 基板(e)、BOX 絶縁膜、Si 層を順次除去する(f)。最後に Ge を均一に薄膜化する(g)、Si/Ge 異種チャネル積層構造が得られる(h)。積層プロセスとエッチングプロセスをすべて低温で行うことで、Si 層や Ge 層へのダメージが極めて少ない高品質の Si/Ge 異種チャネル集積構造を実現した。この技術を用いると、hCFET 作製プロセスの大幅な簡略化が図れるだけでなく、さらなる多層化構造にも対応できるというメリットがある。

この Si/Ge 異種チャネル積層構造から、hCFET を作製した。Si と Ge 層を同一のチャネルパターンで形成し、Si 層と Ge 層の間の絶縁層をエッチングして、ナノシート状の積層型チャネル構造を得た。この構造に、high-k ゲート絶縁膜/金属ゲートを、ALD にてチャネル全体を覆うように堆積させ、GAA 構造の Si nFET と Ge pFET が上下に積層された hCFET が実現した。断面 TEM 像からは、上部に Ge 層、下部に Si 層がチャネル幅 50nm 程度のナノシート状で積層した構造が見て取れる(i)。また、EDX 分析から、Si/Ge 異種材料チャネルが high-k ゲート絶縁膜(Al₂O₃)と金属ゲート(TiN)に覆われていることを確認した。さらに、単一のゲートでこれらの Si nFET と Ge pFET を同時にトランジスタ動作させることに成功し、転写による異種チャネル積層化が 2nm 世代のトランジスタ技術として有望であることが示された。

【参考文献】

[1] T. Z. Hong et al., IEDM 319 (2020).

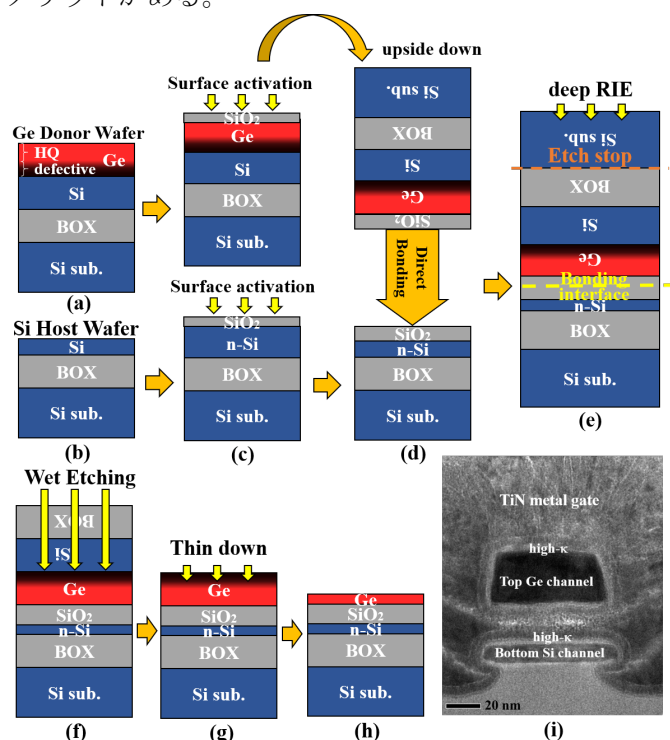


Fig. 1 Schematic flow for fabricating Ge/Si double channel-on-insulator structure and cross-sectional TEM image of the realized Ge/Si stacked channel hCFET.