歪み Si/ SiGe/Si(110)ヘテロ構造への in situ Sb ドーピングに関する研究

Research on in situ Sb doping of tensile-strained Si/SiGe/Si(110) heterostructures

山梨大[1], ○(B)吉川 満希[1], 浪内 大地[1], (B)陳 北辰[1], (B)堀内 未希[1], (M1)藤澤 泰輔[1], 山中淳二[1], 原 康祐[1], 中川 清和[1], 有元 圭介[1]

Univ. of Yamanshi[1], ○M. Kikkawa[1], D. Namiuchi[1], B. Chen[1], M. Horiuchi[1], T. Fujisawa[1], J. Yamanaka[1], K. O. Hara[1], K. Nakagawa[1], K. Arimoto[1]

E-mail: t17am016@yamanashi.ac.jp

CMOS デバイスの高性能化、低消費電力化を実現するために、正孔移動度を向上させる必要がある。（110）面を表面に有する伸張歪み Si は正孔有効質量を無歪み Si の半分以下にできるという計算結果がある。我々は Si（110）基板上に歪み Si pMOSFET を作製し、480 cm^2 /Vs という高い実効正孔移動度を実現した[1]。しかしながら Off 状態でのドレイン電流の低減については課題が残っている。Off 状態でのリーク電流は SiGe 層が p 型になっているためと考えられ、SiGe の結晶成長中に n 型ドーピングを行うことによる解決を検討している。本研究では、Sb の in situ ドーピングの結晶性等への影響を調べている。MOSFET 構造への in situ ドーピングにおいては、表面偏析によるチャネル層への不純物の混入[2]を抑制することが必要である。表面偏析を抑制するには低温での結晶成長が有効であるが、基板温度は結晶性にも大きく影響する。本発表では固体ソース MBE 法における Si/SiGe/Si(110)構造への Sb in situ ドーピング時の基板温度の結晶性等への影響について議論する。

試料の結晶成長は、固体ソース MBE を使用し n-Si(110)基板上に階段傾斜組成 SiGe 層（Ge 組成：3～±38 %）を 120 nm 堆積後、Sb をδドープし、均一組成 SiGe 層（Ge 組成：±38 %）を 100 nm 堆積後、Si 層を 20 nm 堆積させた（Fig. 1）。Sb 層およびその直上の SiGe 層 10 nm を成長中の基板温度を 300 ℃、400 ℃、500 ℃の 3 種類とし、その他の層では基板温度を 600 ℃として 3 枚の試料を作製した。低温での結晶成長では双晶等の結晶欠陥の形成が起こりやすくなることが懸念される。しかし、X 線極点図測定の結果から、双晶からの回折はほとんど見られなかった。低基板温度層を 10 nm にすることで、双晶の形成確率を抑制できたためと考えられる。X 線逆格子マップ測定の結果からも、基板温度を下げたことによる影響はほとんど見られず、SiGe 層は[001]方向にほぼ完全に歪み緩和し、[-110]方向にはほとんど歪み緩和していない。これは SiGe 層の格子歪みが(111)・(11-1)面上の応力誘起双晶の形成によって起きていることを示す結果であり、応力誘起双晶以外の結晶欠陥の形成が抑制されていることを示唆している。Fig. 2 のラマンスペクトルから、表面には歪み Si 層が形成されていることも確認された。以上から一部基板の温度を下げて成長させたことによる結晶性への悪影響は小さいことが分かった。また、Sb の深さ分布については調査中であり、今後の展望としては、電気特性評価によって伝導型の制御が実現できているのか明らかにすることである。

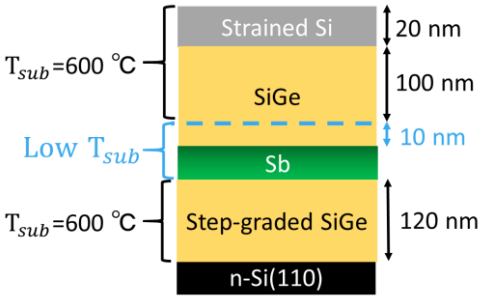

Fig. 1 Sample structure

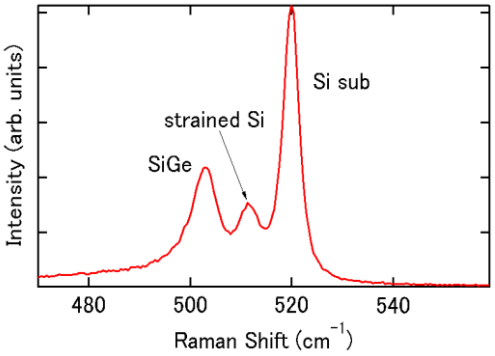

Fig. 2 Raman spectrum of a sample

[1] K. Arimoto *et al.*, Jpn. J. Appl. Phys. 59, SGGK06 (2020)

[2] Kiyokazu. Nakagawa *et al.*, JCG 201/202, 560-563(1999)

© 2021年 応用物理学会