

リング発振回路における ELT の耐放射線評価

Radiation hardness evaluation of ELT in Ring-oscillator

東京工業大学 ○木村有佐, 吉田僚一郎, 安藤幹, 大島佑太, 鍋屋信介, 平川顕二, 岩瀬正幸, 小笠原宗博, 依田孝, 石原昇, 伊藤浩之

Tokyo Institute of Technology, ○Arisa Kimura, Ryoichiro Yoshida, Motoki Ando, Yuta Oshima, Shinsuke Nabeya, Kenji Hirakawa, Masayuki Iwase, Munehiro Ogasawara, Takashi Yoda, Noboru Ishihara, and Hiroyuki Ito

E-mail: paper@lsi.pi.titech.ac.jp

1. はじめに

宇宙, 原子力・核融合施設等の放射線照射環境では半導体の故障や誤動作が問題となる. これは放射線によって MOSFET の特性を劣化させる TID (Total Ionizing Dose) 効果が原因となっており, 我々は TID 効果の影響を受け難い MOS 集積回路 (IC) の構成法, 設計法の検討を進めている.

今回, TID 対策の一つとして知られている ELT (Enclosed Layout Transistor)[1] の耐放射線特性を確認するとともに, さらに回路動作レベルの評価として CMOS リング発振 IC を試作し, ELT による回路構成が耐放射線性に優れる評価結果を得たので報告する.

2. ELT における TID 効果

図 1 に nMOS トランジスタにガンマ線 (Co60) を照射したときの電流電圧特性を示す. 通常レイアウトの MOSFET ではオン電流, オフ電流は大きく変化し, 1 Mrad 近辺で最大値をとっている. これは, ゲートおよび素子間分離部 (STI) の酸化膜への正孔トラップ, および界面準位への電荷トラップの相乗効果と考えられる [2]. これに対し, ELT では 10 Mrad 近辺まで放射線の影響がない特性を得た. ドレインとソース間に STI が接触しない構成となっていることから STI でのトラップの影響が回避されたと考えられる.

3. CMOS リング発振 IC への影響

次に回路動作レベルでの影響を明確にするため図 2 に示す CMOS リング発振回路を通常レイアウトの MOSFET と ELT を用いた場合の 2 水準の IC を設計周波数とともに 80 MHz として 0.18 μ m CMOS 技術により設計試作し, ガンマ線照射実験を実施した. 放射線照射は動作している状態 ($V_{SS}=0$ V, $V_{DD}=1.8$ V) で Co60 を線源としたガンマ線を線量 165 krad/h で TID12 Mrad 以上まで照射した.

N 段リング発振回路の発振周波数 f_o は, 一つの遅延セルあたりの伝搬遅延時間を t_{pd} とすると,

$$f_o = \frac{1}{2Nt_{pd}}$$

で求められるので, 評価データから 1 セル (CMOS インバータ 1 段) 当たりの伝搬遅延時間と消費電流を求めた. 初期値で規格化した結果を図 3 に示す. 通常レイアウトの MOSFET を用いた回路に対し, ELT を用いた回路では, 放射線照射による伝搬遅延, および消費電流の変化がほとんど無いことが分かる. また, 通常レイアウトの MOSFET を用いた回路では, 1 MHz 近辺でピークを持つ図 1 の評価結果と傾向が一致していることから酸化膜での電荷トラップの影響によるオン電流/オフ電流変化の影響と考えられる.

4. 結論

通常レイアウトの MOSFET と ELT で構成したリング発振 IC に対して放射線照射実験を実施し, ELT 構成が TID 耐性に優れることを確認した.

5. 参考文献

- [1] G. Anelli, IEEE Trans. Nucl. Sci., vol. 46, no. 6, pp. 1690-1696 (1999).
- [2] 吉田 他, 応用物理学会秋季学術講演会, 8a-Z14-10, 2020.9.

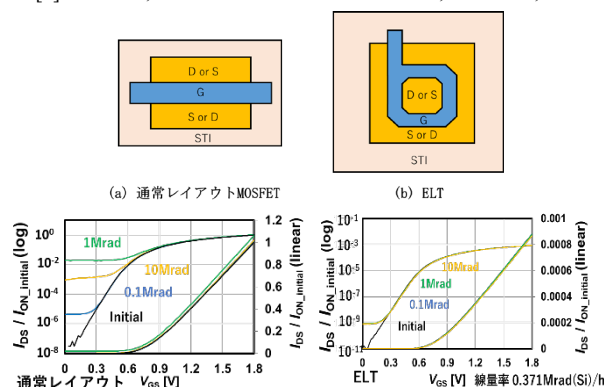


図 1 ガンマ線照射時の nMOS トランジスタの電流電圧特性

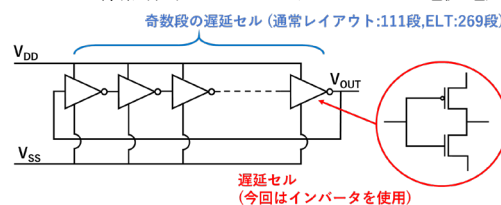


図 2 リング発振回路構成

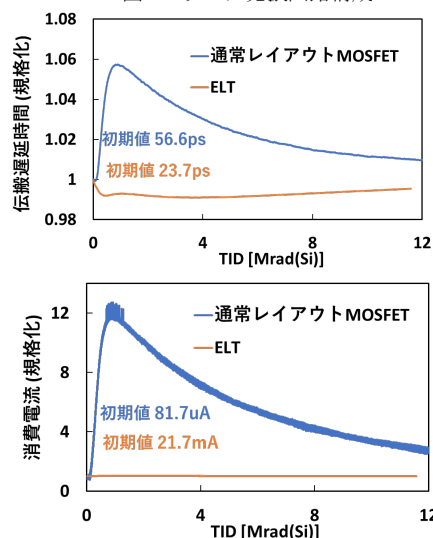


図 3 (上)伝搬遅延時間 (下)消費電流 (初期値で規格化)