

スケーラブルで 10^9 回書換可能な SBT 系 FeFET の開発

10^9 cycle-High Endurance SBT-Based FeFET with Good Scalability

産総研¹ °高橋 光恵, 酒井 滋樹

AIST¹, °Mitsue Takahashi, Shigeki Sakai

E-mail: mitsue-takahashi@aist.go.jp

[背景] 従来、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) や $(\text{Ca}, \text{Sr})\text{Bi}_2\text{Ta}_2\text{O}_9$ (CSBT) の SBT 系強誘電体を用いた金属/強誘電体/絶縁体/半導体 (MFIS) ゲート積層構造の強誘電体ゲート電界効果トランジスタ (FeFET) は実測で 10^9 回の安定した高書換耐性を持つ優れた不揮発メモリ素子として知られていたが、100 nm 以上程度に厚い SBT 系強誘電体を高い選択比でエッチングすることが困難だったため素子微細化が遅れていた[1]。この欠点を克服する方法として、強誘電体のエッチングに依らずゲート積層構造を形成する方法を考案した。あらかじめ Si プロセスに親和性の高い材料のみで形成した自己整合ソースドレイン付きの微細溝構造を用意し、溝中に有機金属気相成長 (MOCVD) 法で SBT 原料を埋め込む方法を開発し、チャンネル長 (L_{ch}) 85 nm で従来同等 10^9 回の高書換耐性を実証した[2]。

[作製プロセス] 新規 FeFET の作製プロセス概要を図 1 に示した。特徴は以下(1)-(4)である。

- (1) ゲート積層構造の形成に SBT 系強誘電体のエッチングが不要。
- (2) Step 3 のパタニングでリソグラフィ精度に沿った面内高集積化が可能。
- (3) Step 7 までは SBT 系強誘電体がプロセスに混入しない。
- (4) SBT 系強誘電体の成膜厚さは最低 $1/2 \times L_{\text{ch}}$ で済み L_{ch} と共にスケーリングされる。

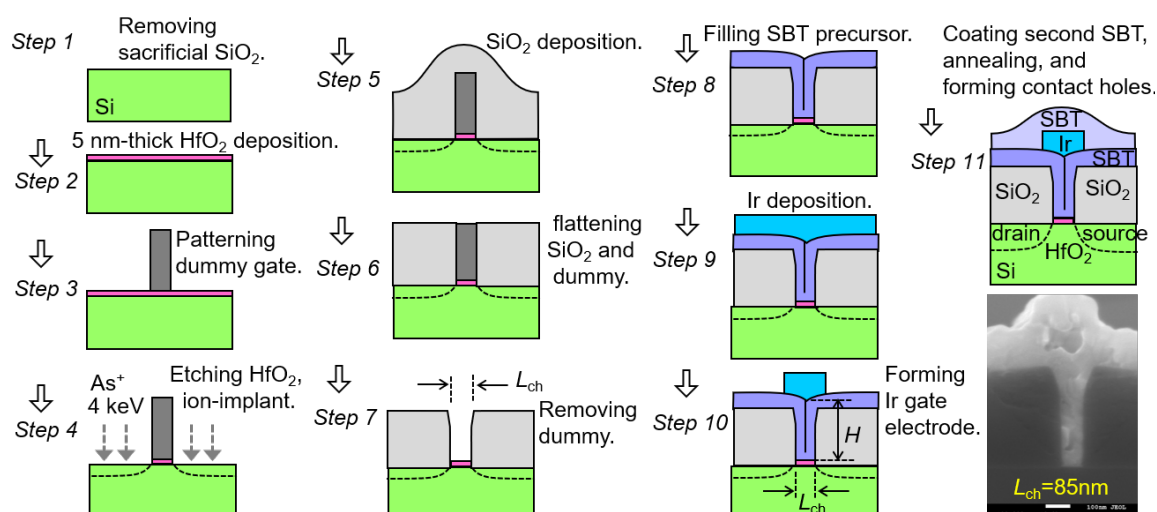


Fig.1 Fabrication process of $L_{\text{ch}} = 85$ nm SBT-FeFET.

[結果] 図 1 のプロセスにより、 $L_{\text{ch}} = 85$ nm の FeFET を作製した。Ir/SBT/ HfO_2 /Si の MFIS ゲート積層構造を持ち、FeFET の電気的特性を決定する実効的な強誘電体高さ H は約 450 nm であった。データ保持特性について、消去 (-8 V, 10 μs) 後および書込 (8 V, 10 μs) 後のいずれも 10^5 秒まで室温で測定し 0.26 V のしきい値差で安定に落ち着くことを確認した。書換耐性について、(± 7.5 V, 10 μs) の条件で書換を 10^8 回まで行い、しきい値差 0.4 V 以上で安定に推移することを確認した。同素子に対して引き続き (± 8 V, 10 μs) の書換を 10^9 回まで加え、しきい値差 0.57 V 以上で安定に推移し続けることを確認した。今回、書換電圧が約 8 V と大きい理由は図 1 Step 7 の溝の深さで決まる H が大きかったためで、これは Step 6 のエッチバック量を増やして解決できる。本研究は (株) ワコム研究所との共同研究で行われた。

参考文献 [1] Hai, L.V.; Takahashi, M.; Zhang, W.; Sakai, S. 100-nm-size ferroelectric-gate field-effect transistor with 10^8 -cycle endurance. *Jpn. J. Appl. Phys.* **2015**, *54*, 088004.
[2] Takahashi, M.; Sakai, S. Area-Scalable 10^9 -Cycle-High-Endurance FeFET of Strontium Bismuth Tantalate Using a Dummy-Gate Process. *Nanomaterials* **2021**, *11*, 101.