

# 延長ゲート型有機トランジスタアレイを用いた隠れ静電気イメージング

## Static Mark Imaging by Extended-Gate Organic Transistor Array

山形大ROEL<sup>1</sup>, 山形大工<sup>2</sup>

○(M2)宇都 滉大<sup>1</sup>, 庄司 樹<sup>1</sup>, 和田 英樹<sup>1</sup>, 杉本 俊之<sup>2</sup>, 松井 弘之<sup>1</sup>

Research Center for Organic Electronics (ROEL), Yamagata Univ.<sup>1</sup>

Faculty of Engineering, Yamagata Univ.<sup>2</sup>

○Kodai Uto<sup>1</sup>, Itsuki Shoji<sup>1</sup>, Hideki Wada<sup>1</sup>, Toshiyuki Sugimoto<sup>2</sup>, Hiroyuki Matsui<sup>1</sup>

E-mail: h-matsui@yz.yamagata-u.ac.jp

【はじめに】コロナ放電やフィルムの製造・接触・加圧・剥離等の摩擦帯電により、正と負の静電気が複雑に混じり合ったスタティックマーク（隠れ静電気）が生じ、埃の付着や蒸着曇り、塗装ムラを引き起こすことが知られている。このスタティックマークは、一般的な静電気測定器が0Vを示しても存在し、一般的な静電気除去装置で完全に除去することは困難である。現状、スタティックマークの有無を確認するには特殊なトナーを表面に散布する必要があるが、対象物を汚染してしまうなどの課題があり、非汚染・非接触での測定が求められる。そこで、本研究では延長ゲート型有機電界効果トランジスタを1列に並べた電界センサを用いて、非汚染・非接触での隠れ静電気イメージングに成功したので報告する。

【実験】ポリエチレンナフタレート（PEN）フィルム基板の上に、下地層としてポリビニルフェノール（PVP）をスピンコートして加熱架橋を行い、ゲート電極と1mm角の延長ゲート電極パッドをインクジェット印刷にて作製した。次に、絶縁層としてパリレンを熱CVD法で成膜し、ソース・ドレイン電極を印刷後、バンク層としてテフロン(1 wt%)をディスペンサにて印刷した。最後に、有機半導体層として TMTES-Pentacene をディスペンサにて印刷し、Fig. 1 のような構造の延長ゲート型有機電界効果トランジスタを作製した。この素子 11 個を 2mm ピッチで 1 列に並べた電界センサを用いて、対象物上でスライドすることでスタティックマークを可視化した。

【結果・考察】帯電したフィルム上で電界センサをスライドさせ、ドレイン電流の増減をマッピングした結果を Fig. 2（左）に示す。その後、同じフィルムに帯電分布判定トナーを振りかけ、帯電状態を可視化した結果を Fig. 2（右）に示す。これらには共通した正負の帯電パターンが見られ、本デバイスを用いて確かに隠れ静電気のイメージングが可能であることが分かった。今後は、延長ゲート電極パッドの大きさを小さくし、さらなる高解像度のイメージングを目指す。

【謝辞】帯電分布判定トナーは春日電機株式会社様よりご提供いただきました。

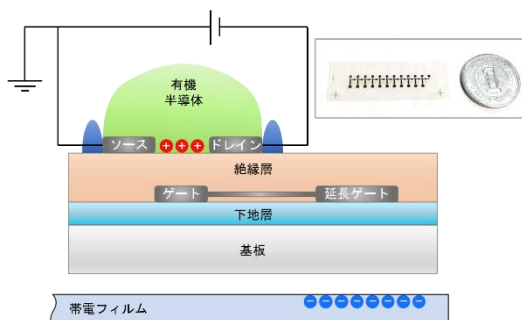


Fig. 1 Device structure and photograph of the electric field sensor

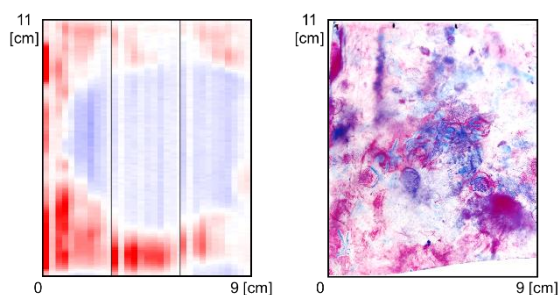


Fig. 2 Visualization of static marks with the fabricated sensors (left) and dual-color toners (right).