

# 両極性高分子半導体を用いた正孔トラップ型有機フローティングゲートメモリの作製と特性評価

Fabrication and characterization of organic floating-gate memories with hole trapping characteristics using ambipolar polymer semiconductors

大阪府立大<sup>1</sup>, 大阪府立大 分子エレクトロニックデバイス研<sup>2</sup>

○西田直之<sup>1</sup>, 田津原汐音<sup>1</sup>, 服部励太郎<sup>1</sup>, 東中屋美帆<sup>1</sup>, 永瀬 隆<sup>1,2</sup>, 小林隆史<sup>1,2</sup>, 内藤裕義<sup>1,2</sup>

Osaka Pref. Univ.<sup>1</sup>, RIMED<sup>2</sup>

○Naoyuki Nishida<sup>1</sup>, Shion Tazuhara<sup>1</sup>, Reitaro Hattori<sup>1</sup>, Miho Higashinakaya<sup>1</sup>,

Takashi Nagase<sup>1,2</sup>, Takashi Kobayashi<sup>1,2</sup>, Hiroyoshi Naito<sup>1,2</sup>

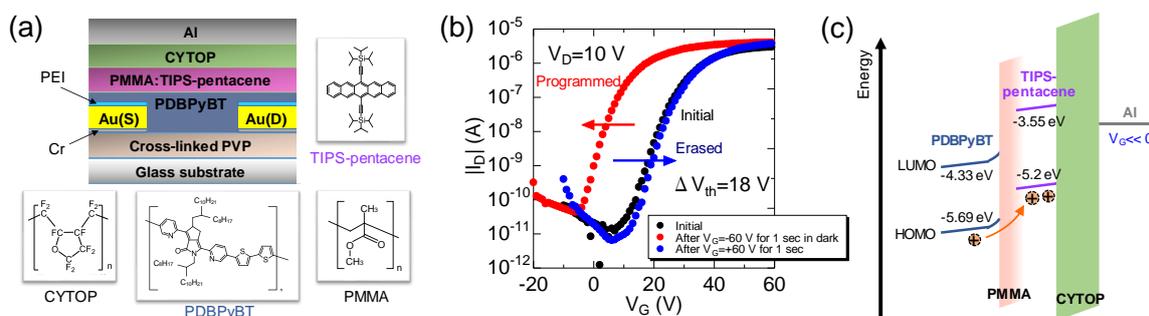
E-mail: naoyuki.nishida.oe@pe.osakafu-u.ac.jp

**1. はじめに** トップゲート有機電界効果トランジスタ (OFET) に可溶性低分子半導体と高分子絶縁体の混合塗布膜から自発形成される垂直相分離層を積層することで、有機フローティングゲート (FG) 構造を有する OFET メモリを溶液プロセスで作製することが可能となる[1]。これまでに我々は半導体層に両極性高分子半導体を用いることで、ソース-ドレイン電極から半導体層への電子注入が可能となり、暗状態で動作する電子トラップ型の OFET メモリを作製できることを報告した[2]。また、ゲート電極の仕事関数を増加させることで、正孔トラップ特性が得られ、NAND 型のメモリ動作が可能となることを報告した[3]。本研究では、より深い HOMO-LUMO 準位を有する両極性高分子半導体 poly(2,5-bis(2-octyldodecyl)-3,6-di(pyridin-2-yl)-pyrrolo[3,4-c]pyrrole-1,4(2H,5H)-dione-alt-2,2'-bithiophene) (PDBPyBT)[4]を用いて、優れた正孔トラップ特性を有する有機 FG OFET メモリを開発することを目的とした。

**2. 実験** 図1(a)に作製したトップゲート型OFETメモリの素子構造を示す。架橋poly(4-vinylphenol) (PVP) を塗布したガラス基板の上にフォトリソグラフィを用いてCr/Auソース-ドレイン電極を作製した。電極基板上に電子注入層としてpolyethylenimine (PEI) をスピコートした後、PDBPyBT層を塗布成膜した。poly(methylmethacrylate) (PMMA) と 6,13-bis(triisopropylsilyl)ethynyl)pentacene (TIPS-pentacene) の混合体 (重量比80:20) をPDBPyBT層上に塗布した後、熱処理を施すことで有機FG構造を形成した。ゲート絶縁層 (CYTOPまたはCYTOP/parylene積層膜) 及びAlゲート電極を作製した後、Alゲート電極を介して有機膜を酸素プラズマエッチングすることで素子分離した。

**3. 結果及び考察** 図 1(b)に作製したメモリ素子の伝達特性を示す。PEI 層を有する PDBPyBT FET メモリは良好な n 型 FET 特性を示した。伝達特性は負のゲート電圧 ( $V_G = -60$  V) を印加した際にのみ初期状態から負電圧側にシフトし、比較的大きな閾値電圧シフト (18 V 程度) を示すことが分かった。これは、正孔が Au ソース-ドレイン電極から PEI 層を介して半導体層に注入され、有機 FG (TIPS-pentacene) に蓄積されることを意味している。図 1(c)に示す様に、特に PDBPyBT 層が深い HOMO-LUMO 準位を有することで、TIPS-pentacene の HOMO 準位に正孔が注入し易くなり、良好な正孔トラップ特性が得られたものと考えられる。

**参考文献** [1] F. Shiono *et al.*, *Org. Electron.* **67**, 109 (2019). [2] 東中屋他, 第 66 回応用物理学会春季学術講演会, 10-100 (2019). [3] 東中屋他, 第 81 回応用物理学会秋季学術講演会, 11-101 (2020). [4] B. Sun *et al.*, *Adv. Mater.* **26**, 2636 (2014). **謝辞** 本研究は科学研究費補助金 (JP17H03238, JP19H02599, JP20H02716, JP20K21007)、池谷科学技術振興財団及び村田学術振興財団の助成を受けた。また、本研究で用いた PEI を提供して頂いた株式会社日本触媒に深く感謝いたします。



**Fig. 1.** (a) Device structure of the solution-processed top-gate PDBPyBT FET memory with the PMMA:TIPS-pentacene (80:20) composite film. (b) Transfer curves measured before and after programming ( $V_G = -60$  V) and erasing ( $V_G = +60$  V) processes. (c) Energy band diagram for the programming process.