

絶縁層/有機半導体層の同時成膜による低しきい値, 高移動度トランジスタの作製

Fabrication of OFET with low threshold voltage and high carrier mobility by simultaneous film formation of insulator/organic semiconductor-layers

東工大 院工 山岡 祐太, 田口 大, 間中 孝彰

Tokyo Institute of Technology °Yuta Yamaoka, Dai Taguchi, Takaaki Manaka

E-mail: manaka.t.aa@m.titech.ac.jp

【はじめに】 溶媒可溶なペンタセン誘導体として, TIPS ペンタセンが知られている. この分子は, 溶液プロセスにおける成膜条件を制御することで異なる結晶構造を示し, その中でも Form II と呼ばれる構造において, ホール移動度が著しく上昇することが知られている. [1] この構造を得るためには, TIPS ペンタセンと絶縁性高分子との混合溶液を用いて成膜を行い, 自発的な相分離による結晶化が有効である. [2] しかしながら, SiO₂ 絶縁膜(500 nm)上に相分離法で作製したものは V_{th} が -40 V 以上と大きい. また, PVP などを用いた低電圧化の報告はあるが, 材料の特殊性や溶液法プロセスが必要などの課題がある. [1] そこで本研究では Al をゲート電極材料として使用し, プラズマを用いて表面を酸化処理させた基板に対して相分離法を用いることで良好なトランジスタ特性を得られたので報告する.

【実験】 実験で用いたデバイスの構造を Fig.1 に示す. スライドガラスを適当な大きさに切り出し, 真空蒸着法により Al を成膜することでゲート電極とした. この Al 薄膜に対し, 卓上プラズマ装置(45 W)を用いたプラズマ処理により表面を酸化させ Al₂O₃ を形成した. 溶液はメシチレン(MS)溶媒に TIPS ペンタセン及び polystyrene(PS, M_w = 280 kDa)をそれぞれ 8 mg/mL で同時に溶解させて溶液を調整した. 有機半導体層は Solution Shearing(SS)法を用いて上述した溶液を成膜速度 2.0 mm/s で成膜した. 最後にソース-ドレイン電極として, Au(50 nm)を真空蒸着法によって成膜した.

【結果】 Fig. 2 に基板上に製膜した TIPS ペンタセンの偏光顕微鏡像を示す. 偏光顕微鏡像から結晶性の薄膜が形成されていることがわかる. ここで用いた条件で成膜すると b 軸がブレード移動方向に一致する. Fig. 3 に Al₂O₃ 上に相分離法で作製した TIPS ペンタセン FET の I-V 測定結果を示す. 結果からわかるように, 従来の SiO₂ 上のサンプルでは V_{th} = -40 V 以上であるのに対して, Al₂O₃ 上で作製したサンプルでは移動度 1 cm²/Vs を超え, かつしきい値が数 V 程度の特性を得られた. SiO₂ 上に相分離法で作製した TIPS ペンタセン FET に対して行った EFI-SHG 測定から評価されたキャリア移動度, および移動度の異方性から, ここで用いている SS 法の成膜条件では Form II 結晶が得られていると考えられる. [3] すなわち, TIPS ペンタセンの結晶歪みを形成した状態で Al₂O₃ 上でのトランジスタ形成ができたことで高移動度が得られたと考えられる.

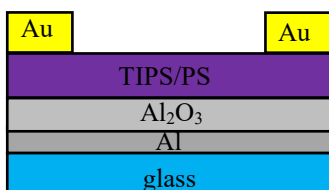


Fig. 1 Structure of OFET on Al

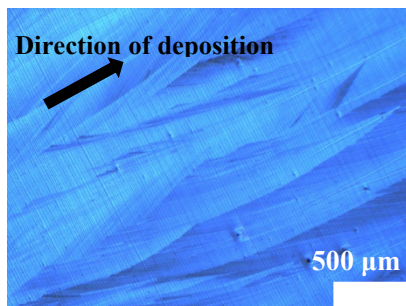


Fig. 2 cross-polarized optical image

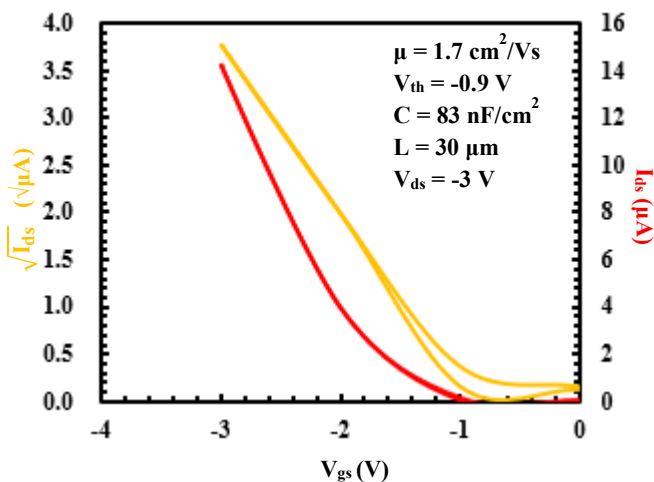


Fig. 3 Result of I-V measurement

[1] Y. Diao, S. C. B. Mannsfeld et al., J. Am. Chem. Soc. **136**, 17046 (2014).[2] C. T. d. Rocha, S. C. B. Mannsfeld et al., Adv. Electron. Mater. **4**, 1800141 (2018).

[3] 山岡 祐太, 田口 大, 間中 孝彰 第 81 回応用物理学会秋季学術講演会, 9a-Z11-4 (2020).