

有機フローティングゲートフォトトランジスタメモリの 低電圧駆動と閾値電圧制御

Low voltage operation and threshold voltage control of organic floating-gate phototransistor memories

大阪府大¹, 大阪府大 分子エレクトロニックデバイス研²

○服部 励太郎¹, 東中屋 美帆¹, 田津原 汐音¹, 永瀬 隆^{1,2}, 小林 隆史^{1,2}, 内藤 裕義^{1,2}

Osaka Pref. Univ.¹, RIMED²

○Reitaro Hattori¹, Miho Higashinakaya¹, Shion Tazuhara¹, Takashi Nagase^{1,2}, Takashi Kobayashi^{1,2}, Hiroyoshi Naito^{1,2}

E-mail: reitaro.hattori.oe@pe.osakafu-u.ac.jp

1. はじめに 可溶性低分子半導体 6,13-bis(triisopropylsilylethynyl)pentacene (TIPS-pentacene) と高分子絶縁体 poly(methylmethacrylate) (PMMA) の混合体の塗布成膜により形成される垂直相分離構造をフローティングゲート層 (FG 層) として用いたトップゲート塗布型有機トランジスタ (有機 FET) は、光照射下で大きな閾値電圧シフト (V_{th} シフト) を示すことから、不揮発性メモリやイメージセンサへの応用が期待できる[1]。これまでに我々は半導体層に poly[2,5-bis(3-tetra decyl thiophen-2-yl)thieno[3,2-b]thiophene] (PBTTT) を用い、FG 層に少量の[6,6]-diphenyl- C_{60} -bis(butyric acid methyl ester) (Bis-PCBM) を添加することでメモリ特性を改善できることを報告した[2]。本研究では、塗布型有機 FET メモリの書込電圧の低減と特性制御を目的とし、ゲート絶縁膜の薄膜化とゲート電極の仕事関数の効果を調べた。

2. 実験 図 1(a)に本研究で作製した有機 FET メモリの構造を示す。ガラス基板上に形成した Cr/Au ソース-ドレイン電極を pentafluorothiophenol (PFBT) で修飾した後、PBTTT をスピコートし、半導体層を成膜した。PBTTT 層上に PMMA、TIPS-pentacene 及び Bis-PCBM の混合物 (重量比 80:17:3) を直交溶媒 (酢酸ブチル) を用いて塗布し、熱処理を施すことで、FG 層を作製した。ゲート絶縁膜として Parylene を 115 nm 積層した後、Al または MoO_3/Al をゲート電極として用いた有機 FET メモリを作製し、 V_{th} シフト量を比較した。

3. 結果及び考察 図 1(b)に作製したメモリ素子の青色LED下での書込消去後の伝達特性を示す。ゲート絶縁膜を薄膜化することにより、Subthreshold swing値が大きく改善され、書込電圧 20 V (印加時間 0.1 s) においても書込消去後で高い電流比 ($\sim 10^6$) を得ることが可能となった。図 1(c)に Al 及び MoO_3/Al をゲート電極に用いた素子の書込電圧に対する V_{th} シフト量を示す。ゲート電極に Al を用いた際には書込電圧 0 V で 7 V 程度の V_{th} シフト量を示すが、 MoO_3/Al を用いることで V_{th} シフトが減少していることが分かる。これは、PFBT処理した Au ソース-ドレイン電極 (-5.2~5.5 eV) と Al ゲート電極 (-4.3 eV) との仕事関数差から生じた内蔵電位により、半導体層内で光生成されたキャリアが有機 FG 層へトラッピングするというを示しており、ゲート電極に MoO_3 (-5.3~5.6 eV) を挿入し、仕事関数差を減少させることでこれらが抑制されることが分かった。ゲート電極の種類によって、有機メモリ素子の特性制御が可能となることが分かった。

参考文献 [1] F. Shiono *et al.*, *Org. Electron.* **67**, 109 (2019). [2] 服部他, 第81回応用物理学会秋季学術講演会, 11-102 (2020). **謝辞** 本研究は科学研究費補助金 (JP17H03238, JP19H02599, JP20H02716, JP20K21007)、池谷科学技術振興財団及び村田学術振興財団の助成を受けた。

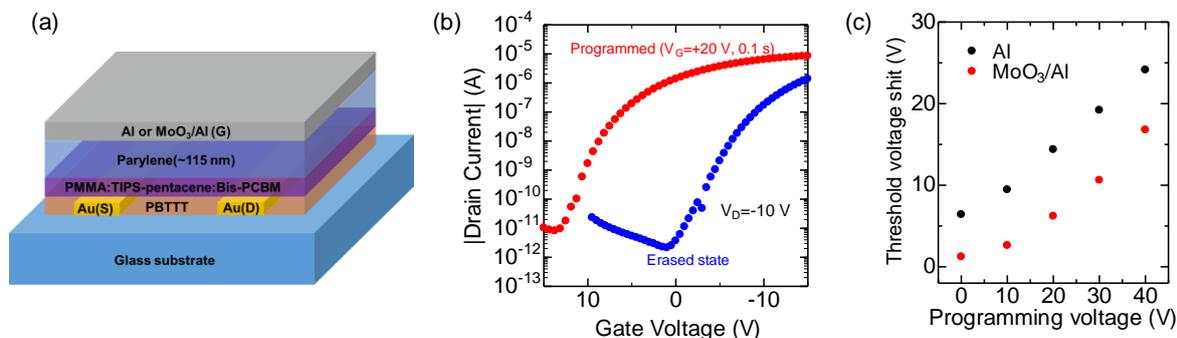


Fig. 1. (a) Structure of a top-gate PBTTT FET memory with the PMMA:TIPS-pentacene:Bis-PCBM (80:17:3) composite film. (b) Transfer characteristics of PBTTT FET memory. (c) V_{th} shifts as a function of programming voltage of the PBTTT FET memories with the Al and MoO_3/Al gate electrodes.