

低温化によるキャリア捕獲時定数の増大に着目した 4H-SiC MOS 界面近傍欠陥の評価手法の検討

Characterization method of near-interface trap on 4H-SiC MOS interface focusing on the increase of carrier trapping time constant at low temperature

東京大学大学院工学系研究科 マテリアル工学専攻 ○長谷川 凜平, 喜多 浩之

Department of Materials Engineering, The University of Tokyo, ○Rinpei Hasegawa and Koji Kita

E-mail: hasegawa@scio.t.u-tokyo.ac.jp

[緒言] MOS 界面では一般に D_{it} の評価が行われるが、その多くは界面から $\sim$ nm 離れたゲート絶縁膜中に存在する長い時定数を持つ捕獲準位(NIT; near-interface trap)を正しく検出しない。例えばコンダクタンス法で D_{it} として検出するのは多くの場合 μ s $\sim$ ms 程度の時定数のものであり、準静的な測定を用いる high-low 法であっても、短い時定数の準位の強い応答に支配され、長い時定数の NIT の応答は埋もれて意識されていない。一方、室温で C-V 特性のヒステリシスとして検出されるのは、一般には数 s $\sim$ 数十 s と遅いものである。従って両者の中間となる ms $\sim$ s 程度の時定数の NIT の存在は常に見落とされている。そこで本研究では、NIT の捕獲時定数が増大する低温下での C-V 曲線のヒステリシスの評価により、室温であれば見落とされていた捕獲準位の選択的な抽出を行った。今回は異なる界面特性向上プロセスが施された、SiC の p 型 MOS キャパシタを対象に、プロセス間での界面欠陥低減効果の違いを検出することで、本手法の有効性を検討した。

[実験] p 型の 4H-SiC(0001)基板 (ドーパ濃度 $1.3 \times 10^{16} \text{cm}^{-3}$ のエピ層を持つ) 上に MOS キャパシタを作成した。1300°C のドライ酸化を行ったあと、 $\text{H}_2\text{O} : \text{O}_2 = 9:1$ の雰囲気中、800°C で 30min、8hr の水蒸気 POA (wet-POA) を行ったものと、 $\text{N}_2:\text{NO} = 2:1$ の雰囲気中、1150°C で 30min、8hr の NO-POA を行いその後ゲート電極として Au を蒸着した。作製したサンプルに対して D_{it} を High-Low 法 (1MHz-1kHz) と、-100°C 及び -50°C の低温下で C-V 曲線のヒステリシスを評価した。C-V 測定の電圧掃引速度は 0.2V/s に固定した。

[結果及び考察] NO-POA、wet-POA のどちらも、ドライ酸化のみの場合に比べ D_{it} は大きく低減され (Fig.1)、価電子帯端に近づく NO-POA の方が D_{it} の低減が顕著である。Fig2、Fig3 にそれぞれのサンプルの捕獲電荷密度 N_{Hys} と固定電荷密度 N_{Fix} を示す。ただし、これらの電荷密度は室温、-50°C、-100°C での 1 MHz の C-V 特性から得られた、最大ヒステリシス幅とフラットバンドシフトからそれぞれ推定した。まず、ヒステリシス幅から推定した N_{Hys} については、wet-POA では、-50°C、-100°C の低温化を行うと $\sim 5.0 \times 10^{10} \text{cm}^{-2}$ へ減少するのに対し、NO-POA では電荷密度が、 $\sim 5.0 \times 10^{11} \text{cm}^{-2}$ 程度も残っている。NIT の捕獲時定数は酸化膜中をトンネルするキャリア数で制約され、その温度依存性は主としてフェルミ分布に応じた価電子帯端近傍でのキャリア濃度の違いで決定される [1]。従って室温に比べて -50°C ではおよそ 5×10^1 倍、-100°C ではおよそ 3×10^2 倍の時定数として振る舞うと予想できる。本実験のヒステリシスとして検出できるのは時定数が主に 1s $\sim$ 10s 程度の捕獲準位であり、従って室温において $10^{-2} \sim 10^{-1}$ s の時定数を示す捕獲準位が wet-POA で効率よく除去されるが NO-POA では十分に除去できていないことが示唆される。このように室温での通常の測定では顕在化しない試料間の違いが、低温でのヒステリシスの違いとして明確に現れることが分かる。一方、フラットバンド電圧シフトから推定した固定電荷密度についてはどちらも増加しているが、NO-POA に比べて wet-POA において顕著である。低温化に伴うフェルミレベルの変化 ($\sim 0.1 \text{eV}$) による固定電荷密度の増加はせいぜい $\sim 10^{11} \text{cm}^{-2}$ 程度であるので、Fig3. で見られる固定電荷の振る舞いはフェルミレベルの変化だけでは説明できない。室温ではヒステリシスとして見えていた NIT の一部が、低温化により時定数が延長され、ヒステリシスが減少する代わりに固定電荷のように働いたからだと考えて説明される。尚、本研究の一部は JSPS 科研費補助金の助成により行われた。

参考文献: [1] Y. Fujino and K. Kita. J. Appl. Phys. 120, 085710 (2016)

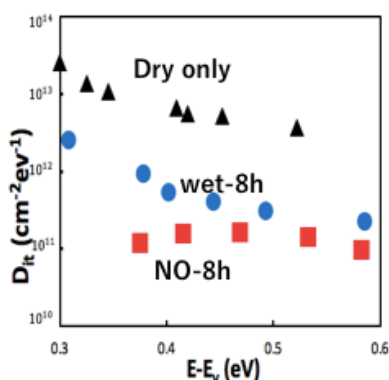


Fig.1 Energy distribution of D_{it} of NO-POA and wet-POA samples. The result without POA is also shown.

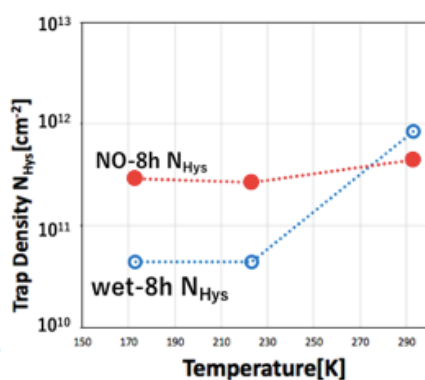


Fig.2 Temperature dependence of trapped charge density estimated from the hysteresis width of C-V characteristics.

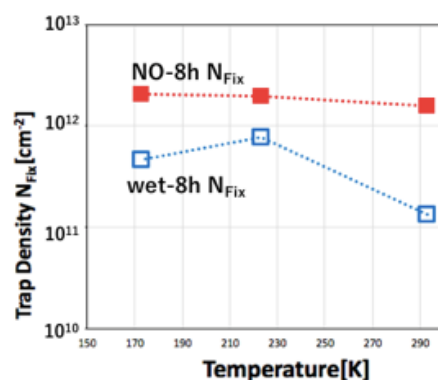


Fig.3 Temperature dependence of fixed charge density estimated from flatband voltage shift of C-V characteristics.