

水素エッチングと SiO₂ 堆積後の窒化処理を 組み合わせた高品質 4H-SiC/SiO₂ 界面の形成

Formation of high-quality 4H-SiC/SiO₂ interface by H₂ etching prior to SiO₂ deposition and interface nitridation

京大院工 ○(D2) 立木 馨大, 金子 光顕, 小林 拓真, 木本 恒暢

Kyoto Univ., ○Keita Tachiki, Mitsuaki Kaneko, Takuma Kobayashi, Tsunenobu Kimoto

E-mail: tachiki@semicon.kuee.kyoto-u.ac.jp

背景： SiC/SiO₂ 高密度界面準位の低減は、SiC MOSFET のさらなる性能向上に必須である。高密度界面準位低減のため、様々な研究が行われ、特定の元素を界面に取り込むことが界面準位密度の低減に効果的であることが示されてきた。高密度界面準位の起源は、現状不明であるものの、界面の残留炭素がその起源ではないかと考えられてきた[1]。もう一つの可能性として近年、SiC 表面の結晶性の乱れに起因する伝導帯下端の揺らぎが高密度界面準位の原因になり得ると、実験の解析結果が示している[2]。これらの残留炭素欠陥や表面極近傍の結晶性の乱れは、SiC の酸化によって誘起されると推測される。このため、酸化過程を排除した SiC/SiO₂ 構造の形成が界面準位密度低減の大きな鍵となる可能性がある。本研究では、(1) 水素エッチング、(2) SiO₂ の堆積、(3) 窒化処理を行うことで極めて低い界面準位密度($D_{it} = 3 - 6 \times 10^{10} \text{ cm}^{-2}\text{eV}^{-1}$)を達成したので報告する。

試料作製・評価手法： n 型基板上的の n 型 4H-SiC(0001)エピ層に MOS キャパシタを作製した。n 型エピ層の実効ドナー密度は $1 \times 10^{16} \text{ cm}^{-3}$ である。RCA 洗浄後、堆積 (400°C) によって、厚さ約 20–30 nm の SiO₂ 膜を形成した。一部の試料に関しては、堆積前に水素エッチング (1350°C, 15 min) を行った。さらに一部の試料に関しては、水素エッチング後に犠牲酸化 (1300°C, 5 min) を行い、フッ酸により酸化膜を除去した。酸化膜形成後の熱処理として、N₂ 処理を 1400°C, 45 min、もしくは Ar 処理を 1400°C, 10 min 行った。最後に、蒸着により Al 電極を形成した。

結果および考察： まず、酸化膜形成後の熱処理として、N₂ 処理を行った場合の結果について説明する。酸化膜堆積前に水素エッチングを行った試料では、エッチングを行わない場合と比較して、伝導帯端近傍 ($E_c - 0.2 \text{ eV}$) における界面準位密度が大幅に低減 ($D_{it} = 4 \times 10^{10} \text{ cm}^{-2}\text{eV}^{-1}$) した。一方、水素エッチングを行った後に犠牲酸化を行った試料では、界面準位密度は大幅に低減しなかった ($D_{it} = 9 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$)。ここで、犠牲酸化を行った後にもう一度水素エッチングを行ったところ、大幅に界面準位密度が低減した ($D_{it} = 4 \times 10^{10} \text{ cm}^{-2}\text{eV}^{-1}$)。以上のことから、SiC の熱酸化は高密度の界面準位を形成すると推測される。また、これら SiC の熱酸化によって誘起された欠陥は、水素エッチングにより除去可能であることが示された。

次に、酸化膜堆積後の N₂ 処理が必要かどうか調べるため、Ar 処理を行った場合の結果について説明する。水素エッチングを行った試料に対し、Ar 処理を行った場合の界面準位密度は比較的高く ($1 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$)、N₂ 処理のような大幅な低減は見られなかった。Ar 処理の後に水素熱処理 (H₂/N₂:1/9, 800°C) を行ったが、界面準位密度が若干低くなる程度 ($8 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$) であった。これらの結果から、低い界面準位密度を得るためには、酸化膜形成後の N₂ 処理も必要であることが示された。

最近我々は、(1) 水素エッチング、(2) Si 薄膜を SiC 上に堆積、(3) Si 膜を熱酸化によって SiO₂ に変換、(4) N₂ 処理の 4 ステップによって、非常に低い界面準位密度 ($D_{it} = 2 \times 10^{10} \text{ cm}^{-2}\text{eV}^{-1}$ at $E_c - 0.2 \text{ eV}$) が得られることを報告した[3]。本研究と比較すると、水素エッチング、SiC を酸化させない SiO₂ の形成、N₂ 処理の 3 つが、共通のプロセスである。以上のことから、上記 3 つの手順が低い界面準位密度を得る重要なポイントであると考えられる。

[1] V. V. Afanasev et al., *Phys. Status Solidi A* **162**, 321 (1997). [2] K. Ito et al., *J. Appl. Phys.* **128**, 095702 (2020).

[3] T. Kobayashi et al., *Appl. Phys. Express* **13**, 091003 (2020).