

CMOS 回路の電流出力による再構成が可能な 64-bit 単一磁束量子ルックアップテーブルの動作実証

Demonstration of a single flux quantum 64-bit lookup table reconfigured by output currents of CMOS circuits

横国大院理工¹ ○^(D) 弘中 祐樹¹, ^(M2) 細谷 岳哉¹, 山梨 裕希¹, 吉川 信行¹

Dept. of Electrical and Computer Eng., Yokohama Natl. Univ.¹

○^(D) Yuki Hironaka¹, Takuya Hosoya¹, Yuki Yamanashi¹, Nobuyuki Yoshikawa¹

E-mail: hironaka-yuki-ds@ynu.jp

超伝導スイッチング素子である Josephson 接合を用いた超伝導単一磁束量子(single flux quantum: SFQ) 回路 [1]は高速動作性、低消費電力性といった特徴を持ち次世代の集積回路技術として注目されている。その一方で、SFQ 回路の欠点の一つとして集積度の低さが挙げられる。SFQ 回路において Josephson transmission line (JTL) あるいは passive transmission line (PTL) は Josephson 接合を含む信号伝送線路であり、回路面積や消費電力といった高いハードウェアコストを必要とする。したがって、配線が複雑な SFQ 回路の集積度が低くなる。ルックアップテーブル(lookup table: LUT) は、デコーダとメモリで構成され、メモリのデータを書き換えることによって任意の論理ゲートに再構成できる回路である。従来の SFQ 回路に基づくルックアップテーブルの設計[2]では、論理の再構成に必要な配線は複雑となり回路面積の増大につながる。そこで本研究では、直流制御電流を外部から印加することによって再構成が可能なメモリセルを含む LUT を提案する。このメモリセルを用いることによって JTL や PTL を使用しない LUT の再構成が可能となり、LUT の集積度向上が可能である。

Fig. 1 は本研究で提案するメモリセルである[3]。従来の LUT に用いられる非破壊読み出し型フリップフロップ(non-destructive readout flip-flop: NDRO) に直流制御電流 I_x , I_y , I_{reset} の配線が磁気結合した構造になっている。 I_x , I_y が同時に流れるとメモリセルにデータが書き込まれ、 I_{reset} が流れるとメモリセルのデータがリセットされる。Fig. 2 は本研究で提案する $n \times n$ -bit LUT のブロック図である。x, y 方向の直流電流配線を格子状に、 I_{reset} の直流電流配線を全てのメモリセルを経由するように配線する。メモリセルの行と列に対応する直流電流配線と同時に直流電流を印加することでそのメモリセルに書き込みができる。 I_{reset} を印加すれば全てのメモリセルをリセットできる。本発表では、 $n = 8$ の 64-bit LUT の設計を行い、作製された回路の測定を行った結果を報告する。デコーダとメモリの動作余裕度はそれぞれ設計値の 85–112%, 80–106%であった。全メモリセルから正常出力を確認し、直流電流のマージンは I_x が 0.22–0.38 mA, I_y が 0.44–1.02 mA であり、アドレス毎に大きなばらつきはなかった。 I_{reset} は設計値の 75%以上の電流を印加することで全てのメモリセルをリセットできることを確認した。

Fig. 1 のように、x, y 方向の直流電流配線はそれぞれ n 本づつ必要になるため、更なる大規模化の弊害となる。そこで、直流制御電流の選択を CMOS デコーダを用い

て行う CMOS-SFQ LUT ハイブリッドシステムの動作実証実験も行った。発表ではそのシステムの設計および測定結果についても詳細に述べる。

謝辞

本研究は JSPS 科研費 JP18K04280 および JP19H05614 の助成を受けたものである。本研究に使用された回路は、産業技術総合研究所の超伝導クリーンルームにおいて作製された。

参考文献

- [1] K.K. Likharev et al, IEEE Trans. Appl. Supercond., vol. 1, no. 1, pp. 3–28, 1991.
- [2] M. Araki et al., 11th Supercond. SFQ VLSI Workshop (SSV) 2018, pp. 83–86, Tsukuba, 2018.
- [3] T. Hosoya et al, IEEE Trans. Appl. Supercond., to be published.

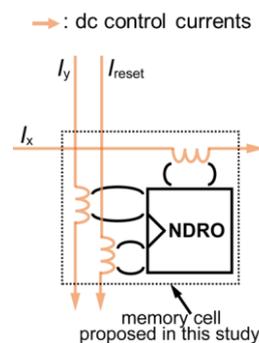


Fig. 1 The memory cell reconfigured by applying dc control currents.

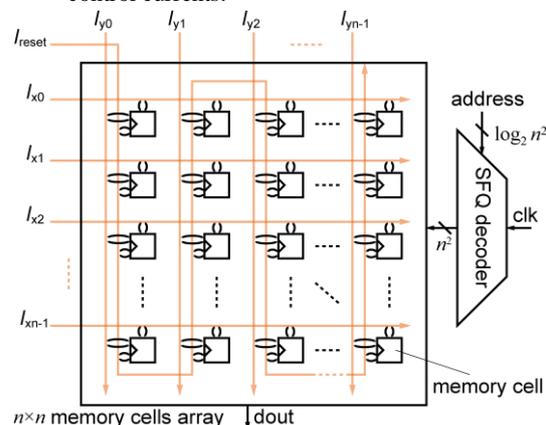


Fig. 2 Architecture of the $n \times n$ -bit LUT composed of memory cells in this study.