

無電解金メッキの自己停止機能を用いた 金／白金ナノギャップアレイ電極

Au/Pt nanogap array electrodes by self-termination of electroless Au plating

西之坊 拓海, Phan Trong Tue, 真島 豊
Takumi Nishinobo, Phan Trong Tue, Yutaka Majima

東京工業大学 フロンティア材料研究所
Laboratory for Materials and Structures, Tokyo Institute of Technology,
E-mail: nishinobo.t.aa@m.titech.ac.jp

単分子トランジスタ(Single-molecule transistor: SMT)は、低消費電力、優れたスケーラビリティ、高速動作といった特徴から次世代トランジスタとして期待されている。^[1]

SMTを作製するには、一つの分子をソースとドレイン電極間に架橋させなければならない。そのため、当研究室では、通常のトップダウン技術で作製が困難な分子寸法に匹敵する数 nm スケールのギャップ長を持つ超微細線ナノギャップ電極の作製技術をこれまでに確立し^[2~5]、トランジスタ動作に関する報告を行ってきた^[1]。しかしながら、SMTにおいては、ナノギャップ電極のギャップ長にばらつきがあり、ギャップ長は分子長と等しくなければならないため、SMT のトランジスタ動作を観察するのはこれまで難しかった。本研究では必ず動作する SMT を作製することを目指し、従来1デバイスにつき1対のみであったナノギャップ電極を、数百対のギャップ対を導入したナノギャップアレイ電極を作製する技術を確立したので報告する。

初期白金ナノギャップアレイ電極は、SiO₂/Si 基板上に EBL レジストをスピニングし、EBL 装置(Elionix, ELS-7500EX)によって電子ビームの描画を行った。現像後、EB 蒸着により Ti と Pt を蒸着し、リフトオフを行った。無電解金メッキ(Electroless Gold Plating : ELGP)後のアレイ電極の SEM 画像を Fig.1 に示す。ELGP の自己停止機能^[3]により、電極間がショートしていない。これらのプロセスの最適化により最小 2 nm のギャップ長を含む金／白金ナノギャップアレイ電極を得た。

本研究の一部は、文部科学省元素戦略プロジェクト<研究拠点形成型>(Grant Number JPMXP0112101001)、JST 知財活用支援事業<スーパーハイウェイ>の支援により行われた。

- [1] S. J. Lee, J. Kim, T. Tsuda, R. Takano, R. Shintani, K. Nozaki, and Y. Majima, *Appl. Phys. Express* **12**, 125007 (2019).
- [2] Y. Choi, T. Teranishi, and Y. Majima, *Appl. Phys. Express*, **44**, 025002 (2019)
- [3] Y. Choi, A. Kwon and Y. Majima, *Appl. Phys. Express*, **12**, 125003 (2019)
- [4] M. Yang, R. Toyama, P. T. Tue, and Y. Majima, *Appl. Phys. Express* **13**, 015006 (2020).
- [5] C. Ouyang, K. Hashimoto, H. Tsujii, E. Nakamura, and Y. Majima, *ACS Omega*, **3**, 5125-5130 (2018)

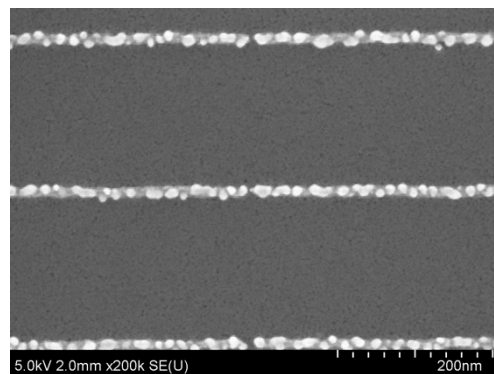


Fig.1 SEM image of electroless gold plated Pt nanogap array electrodes